

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-228333

(43)Date of publication of application : 15.08.2003

(51)Int.Cl.

G09G 3/30
G09G 3/20
G09G 3/22
H01L 29/786
H05B 33/14

(21)Application number : 2002-295771

(71)Applicant : SEMICONDUCTOR ENERGY LAB
CO LTD

(22)Date of filing : 09.10.2002

(72)Inventor : KOYAMA JUN

(30)Priority

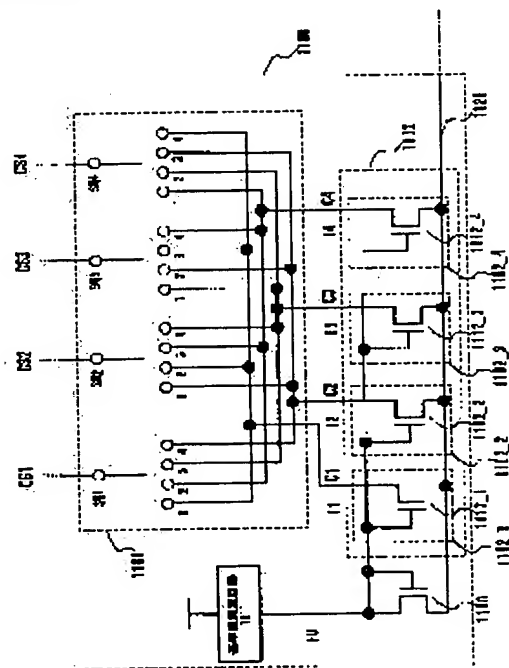
Priority number : 2001316116 Priority date : 12.10.2001 Priority country : JP

(54) DRIVING CIRCUIT AND DRIVING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a driving circuit (control current output circuit) which is made up on a substrate having an insulating surface using polycrystal TFTs, and of which the dispersion of output currents is suppressed.

SOLUTION: The currents outputted from m-pieces of quasi-control current output circuits formed of the polycrystal TFTs are dispersed. According to this invention, the m-pieces of quasi-control current output circuits are arranged so that an average value of the output currents from these m-pieces of the quasi-control current output circuits can be outputted from n-pieces (n is a natural number $\leq m$) of output terminals of the control current output circuit. For example, the output currents of these m-pieces of quasi-control current output circuits are outputted from the n-pieces (n is a natural number $\leq m$) of output terminals of the control current output circuit with the order sequentially replaced. Thus, it is possible to provide the driving circuits suppressing



BEST AVAILABLE COPY

the dispersion of the output currents.

LEGAL STATUS

[Date of request for examination] 15.10.2002

[Date of sending the examiner's decision of rejection] 08.08.2006

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-228333

(P2003-228333A)

(43) 公開日 平成15年8月15日 (2003.8.15)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 0 9 G 3/30		C 0 9 G 3/30	K 3 K 0 0 7
3/20	6 1 1	3/20	6 1 1 A 5 C 0 8 0
	6 1 2		6 1 1 H 5 F 1 1 0
	6 4 1		6 1 2 E
			6 4 1 D

審査請求 有 請求項の数14 O L (全 38 頁) 最終頁に続く

(21) 出願番号 特願2002-295771(P2002-295771)

(22) 出願日 平成14年10月9日 (2002.10.9)

(31) 優先権主張番号 特願2001-316116(P2001-316116)

(32) 優先日 平成13年10月12日 (2001.10.12)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

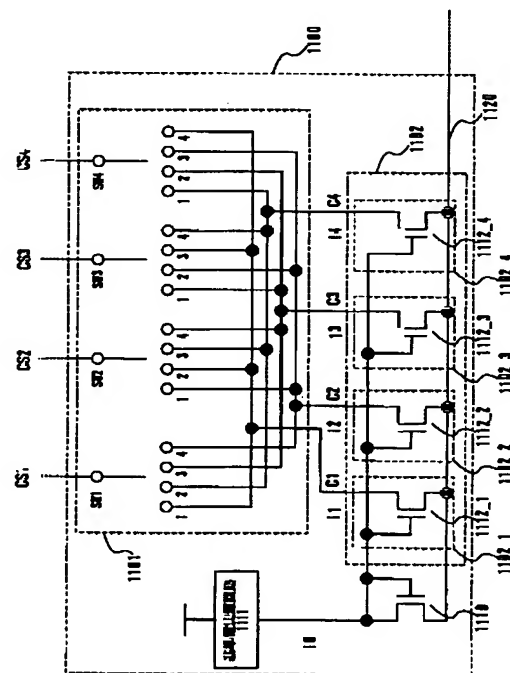
最終頁に続く

(54) 【発明の名称】 駆動回路及びその駆動方法

(57) 【要約】

【課題】 本発明は、多結晶TFTを用いて絶縁表面を有する基板上に作製され、且つ、出力電流のばらつきを抑えた駆動回路（制御電流出力回路）を提供することを課題とする。

【解決手段】 多結晶TFTによって形成されたm個の準制御電流出力回路が、それぞれ出力する電流は、ばらつきを有する。本発明では、制御電流出力回路のn（nはm以下の自然数）個の出力端子より、これらm個の準制御電流出力回路の出力電流の平均値が出力されるようにする。例えば、制御電流出力回路のn（nはm以下の自然数）個の出力端子から、これらm個の準制御電流出力回路の出力電流を、順に入れ替えて出力する。こうして、出力電流のばらつきを抑えた駆動回路を提供することができる。



(2) 003-228333 (P2003-228333A)

【特許請求の範囲】

【請求項1】 m (m は自然数)個の電流出力回路と、前記 m 個の電流出力回路から一つを選択する n (n は m 以下の自然数)個の切り換え手段と、を有する駆動回路であって、

前記 n 個の切り換え手段のそれぞれは、一定期間毎に、前記 m 個の電流出力回路の選択先を変える機能を有することを特徴とする駆動回路。

【請求項2】 m (m は自然数)個の電流出力回路と、前記 m 個の電流出力回路からそれぞれ異なる一つを選択する、 n (n は m 以下の自然数)個の切り換え手段と、を有する駆動回路であって、

前記 n 個の切り換え手段のそれぞれは、一定期間毎に、前記 m 個の電流出力回路の選択先を変える機能を有することを特徴とする駆動回路。

【請求項3】 m (m は自然数)個の電流出力回路と、前記 m 個の電流出力回路に接続された m 個の第1の端子と、

複数の第2の端子を有し、前記 m 個の第1の端子に接続される n (n は m 以下の自然数)個の端子群と、一定期間毎に、前記第1の端子と前記第2の端子との接続を切り換える、 n 個の切り換え手段と、を有する駆動回路であって、

前記切り換え手段により前記第1の端子に接続される第2の端子は、それぞれ異なる前記端子群から選択されることを特徴とする駆動回路。

【請求項4】 m (m は自然数)個の薄膜トランジスタと、

前記 m 個の薄膜トランジスタから一つを選択する n (n は m 以下の自然数)個の切り換え手段と、を有する駆動回路であって、

前記 n 個の切り換え手段のそれぞれは、一定期間毎に、前記 m 個の薄膜トランジスタの選択先を変え、当該薄膜トランジスタのドレイン電流を出力する機能を有し、前記 m 個の薄膜トランジスタは、同じ極性で、且つ同じゲート電圧が印加されることを特徴とする駆動回路。

【請求項5】 m (m は自然数)個の薄膜トランジスタと、

前記 m 個の薄膜トランジスタから異なる一つをそれぞれ選択する、 n (n は m 以下の自然数)個の切り換え手段と、を有する駆動回路であって、

前記 n 個の切り換え手段のそれぞれは、一定期間毎に、前記 m 個の薄膜トランジスタの選択先を変え、当該薄膜トランジスタのドレイン電流を出力する機能を有し、前記 m 個の薄膜トランジスタは、同じ極性で、且つ同じゲート電圧が印加されることを特徴とする駆動回路。

【請求項6】 m (m は自然数)個の薄膜トランジスタと、

前記 m 個の薄膜トランジスタのそれぞれのドレイン電流が出力される m 個の第1の端子と、

複数の第2の端子を有し、前記 m 個の第1の端子に接続される n (n は m 以下の自然数)個の端子群と、一定期間毎に、前記第1の端子と前記第2の端子との接続を切り換える、 n 個の切り換え手段と、を有する駆動回路であって、

前記 m 個の薄膜トランジスタは、同じ極性で、且つ同じゲート電圧が印加され、

前記切り換え手段により前記第1の端子に接続される第2の端子は、それぞれ異なる前記端子群から選択されることを特徴とする駆動回路。

【請求項7】 m (m は自然数)個の薄膜トランジスタと、

前記 m 個の薄膜トランジスタのそれぞれのドレイン電流が出力される m 個の第1の端子と、

複数の第2の端子を有し、前記第1の端子に接続される n (n は m 以下の自然数)個の端子群と、

一定期間毎に、前記第1の端子と前記第2の端子と1対1の接続を切り換える、 n 個の切り換え手段と、を有する駆動回路であって、

前記 m 個の薄膜トランジスタは、同じ極性で、且つ同じゲート電圧が印加され、

前記切り換え手段により前記第1の端子に接続される第2の端子は、それぞれ異なる前記端子群から選択されることを特徴とする駆動回路。

【請求項8】請求項4乃至請求項7のいずれか一において、

前記 m 個の薄膜トランジスタのゲート長とゲート幅の比は、全て等しいことを特徴とする駆動回路。

【請求項9】請求項4乃至請求項8のいずれか一において、

前記 m 個の薄膜トランジスタのドレイン端子とゲート電極は接続されており、前記 m 個の薄膜トランジスタのソース・ドレイン間に電流を入力する第2の薄膜トランジスタを有し、

前記第2の薄膜トランジスタのゲート電圧と、前記 m 個の薄膜トランジスタのゲート電圧とは等しく、且つ同極性であることを特徴とする駆動回路。

【請求項10】請求項4乃至請求項8のいずれか一において、

前記 m 個の薄膜トランジスタのドレイン端子とゲート電極は接続されており、前記 m 個の薄膜トランジスタのソース・ドレイン間に電流を入力する第2の薄膜トランジスタを有し、

前記第2の薄膜トランジスタと、前記 m 個の薄膜トランジスタそれぞれとは、カレントミラー回路を構成することを特徴とする駆動回路。

【請求項11】請求項1乃至請求項10のいずれか一において、前記切り換える手段はアナログスイッチを有することを特徴とする駆動回路。

【請求項12】 m (m は自然数)個の薄膜トランジスタ

(3) 003-228333 (P2003-228333A)

と、

前記 m 個の薄膜トランジスタから一つを選択する n (n は m 以下の自然数)個の切り換え手段と、

前記切り換え手段に接続される信号線とを有する駆動回路の駆動方法であって、

前記 n 個の切り換え手段のそれぞれは、一定期間毎に、前記 m 個の薄膜トランジスタの選択先を変え、当該薄膜トランジスタのドレイン電流を出力することを特徴とする駆動回路の駆動方法。

【請求項13】請求項12において、前記一定期間は前記信号線へ入力されるビデオ信号の同期タイミングに対応する単位フレーム期間内に設けられることを特徴とする駆動回路の駆動方法。

【請求項14】請求項13において、

前記単位フレーム期間は m (m は2以上の自然数)個のサブフレーム期間 $SF1$ 、 $SF2$ 、…、 SFm を有し、前記 m 個のサブフレーム期間 $SF1$ 、 $SF2$ 、…、 SFm は、それぞれ書き込み期間 $Ta1$ 、 $Ta2$ 、…、 Tam と表示期間 $Ts1$ 、 $Ts2$ 、…、 Tsm とを有し、前記一定期間は前記表示期間内に設けられることを特徴とする駆動回路の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁表面上に形成される半導体集積回路に関する。また、前記半導体集積回路を駆動回路として有し、絶縁表面上に発光素子が設けられた表示装置に関する。特に、前記駆動回路を有し、マトリクス状に複数の画素が配置され、画素毎にスイッチング素子及び発光素子が配置されたアクティブマトリクス型の表示装置に関する。

【0002】

【従来の技術】複数の画素を有し、前記複数の画素毎にスイッチング素子及び発光素子を配置した、アクティブマトリクス型表示装置が応答性に優れ、低電圧で動作し、また視野角が広い等の利点を有するため、次世代のフラットパネルディスプレイとして注目されている。

【0003】なお、発光素子とは、流れる電流に応じた輝度で発光する素子を示すものであり、OLED (Organic Light Emitting Diode) 素子や、電界放出 (FE:Field Emission) 素子及びMIM (Metal-Insulator-Metal) 型素子に代表される電子源素子を用いた素子等が挙げられる。

【0004】発光素子の構成は、陽極と、陰極と、陽極と陰極に間に挟まれた有機化合物を含む層 (以下、単に有機化合物層と表記する) とを有している。そして、陽極と陰極間に電圧を印加することによって、発光素子は発光する。なお発光素子を発光させることを、発光素子を駆動させるとも表記する。

【0005】この有機化合物層は通常、積層構造であり、代表的には、コダック・イーストマン・カンパニー

のTangらが提案した「正孔輸送層/発光層/電子輸送層」という積層構造が挙げられる。また他にも、陽極上に正孔注入層/正孔輸送層/発光層/電子輸送層、又は正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。そして有機化合物層に、一対の電極 (陽極及び陰極) から所定の電圧をかけると、発光層においてキャリアの再結合が起こって発光する。

【0006】このときの発光素子の発光輝度は、発光素子の電極間 (陽極と陰極間) を流れる電流に比例する。そのため、各画素の発光素子を流れる電流を、画素部へ入力される電流 (以下、制御電流と呼ぶ) によって制御する方式の画素構成が提案されている。この画素構成を電流制御型の画素と表記する。

【0007】以上のような電流制御型の画素回路は、例えば特許文献1に記載されている。

【0008】

【特許文献1】特開2001-147659号公報

【0009】また図7に、アクティブマトリクス型の表示装置であって電流制御型の画素の構成の一例を説明する。

【0010】図7に示すように画素構成は、信号線701と、走査線702と、電源線703と、配線710と、発光素子709と、スイッチング用のトランジスタ (スイッチングトランジスタ) 704、電流保持用のトランジスタ (電流保持トランジスタ) 705、カレントミラー回路を構成するトランジスタ (カレントトランジスタ) 706、カレントミラー回路を構成し、発光素子の駆動用のトランジスタ (駆動トランジスタ) 707と、保持容量708と、を有する。

【0011】スイッチングトランジスタ704のソース電極又はドレイン電極の一方は、信号線701に接続され、他方は、カレントトランジスタ706のドレイン電極、及び電流保持トランジスタ705のソース電極又はドレイン電極の一方に接続され、スイッチングトランジスタ704のゲート電極は走査線702に接続されている。

【0012】またカレントトランジスタ706のソース電極は、電源線703に接続されている。電流保持トランジスタ705のソース電極又はドレイン電極のうちスイッチングトランジスタ704と接続されていない側は、保持容量708の一方の電極と、カレントトランジスタ706のゲート電極と、駆動トランジスタ707のゲート電極とに接続されている。

【0013】保持容量708の電流保持トランジスタ705と接続されていない側は、電源線703に接続されている。駆動トランジスタ707のソース電極は、電源線703に接続され、ドレイン電極は発光素子709の一方の電極に接続されている。

!(4) 003-228333 (P2003-228333A)

【0014】次に、図7に示した構成の画素へ映像信号が入力され、発光素子が発光する駆動方法（動作方法）について説明する。なお、画素に入力される映像信号としては、画素の表現する輝度に応じた電流値を有する電流（信号電流）が入力される。図7に示したような構成の画素では、各画素の発光素子を流れる電流を制御する電流（制御電流）が映像信号（信号電流）に相当する。

【0015】走査線702に信号が入力され、スイッチングトランジスタ704がオンの状態となると、信号線702より入力された信号電流が、画素に入力される。この際、配線710に入力された信号によって、電流保持トランジスタ705は導通状態となっている。

【0016】信号電流を画素に入力した後十分に時間が経過すると、信号電流がカレントトランジスタ706のソース・ドレイン間を流れるようになる。この際、保持容量708には、カレントトランジスタ706が、ドレイン電流として信号電流を流すためのゲート電圧（ゲート・ソース間電圧）が保持される。その後、配線710の信号が変化し、電流保持トランジスタ705が非導通状態となる。

【0017】そして、カレントトランジスタ706と駆動トランジスタ707の特性が等しい場合、カレントトランジスタ706のドレイン電流と、駆動トランジスタ707のドレイン電流は等しい。このとき、電源線703より駆動トランジスタ707を介して、入力された信号電流に等しい電流が発光素子709に入力される。こうして、発光素子709は信号電流に対応した輝度で発光する。

【0018】なお、信号電流が画素に入力されなくなった後も、保持容量708に保持された電圧によって、駆動トランジスタ707は信号電流に等しい電流を流し続ける。

【0019】図8は、図7に示したような電流制御型の画素を有する、アクティブマトリクス型の表示装置の構成を示すブロック図である。

【0020】図8において、絶縁表面を有する基板（以下、画素基板と呼ぶ）801上に設けられた、画素部804と、画素部804の各画素の走査線に信号を入力する走査線駆動回路803a、803bと、画素部804の各画素の信号線に信号を入力する信号線駆動回路802とを有している。また、信号線駆動回路802はLSIチップ806等から形成され、LSIチップ806はTAB805によって画素基板801上に貼り付けられている。

【0021】なお図7に示すような電流制御型の画素において、制御電流を入力する駆動回路を制御電流出力回路と表記する。図8に示した構成の表示装置においては、制御電流出力回路が信号線駆動回路に相当する。

【0022】また、制御電流出力回路から出力される制御電流が画素部供給される配線を制御電流線と表記す

る。図7に示した画素部では、制御電流線が信号線701に相当する。

【0023】

【発明が解決しようとする課題】図8に示すように、電流制御型の画素に制御電流を入力する駆動回路（制御電流出力回路）は、単結晶基板上のLSIチップから形成される。そして制御電流出力回路が形成された単結晶基板は、画素基板と、TAB等を用いて貼り付けられる。こうして、画素部と制御電流出力回路との電氣的接続がとられる。

【0024】そのため、制御電流出力回路を貼り付ける際ののりしろの面積が必要であり、表示装置の小型化が困難となってしまった。また、電氣的接続がとられた制御電流出力回路と、画素部との配線抵抗や配線容量が大きくなるため、表示装置の低消費電量化が難しかった。

【0025】そこで、制御電流出力回路をポリシリコントランジスタ（多結晶シリコントランジスタ）を用いて画素基板上に一体形成することが望まれる。更に、制御電流出力回路をポリシリコントランジスタで形成することにより、駆動周波数を高く設定することが可能となる。

【0026】しかし、ポリシリコントランジスタを用いて作製された制御電流出力回路は、チャネル形成領域の結晶性のばらつき等の影響によって、出力電流のばらつきが大きいという問題がある。ここで前述のように、発光素子は、流れる電流に比例した輝度で発光する。そのため、制御電流が画素間でばらつくと、画素の発光素子の輝度のばらつき（以下、表示ムラともいう）となって現れ問題となってしまふ。

【0027】そこで、本発明は、出力電流のばらつきを抑えられたポリシリコントランジスタを用いて作製された制御電流出力回路を提供することを課題とする。

【0028】また、本発明の制御電流出力回路を用いることで、小型化、低消費電量化が可能な表示装置、及び前記表示装置を用いた電子機器を提供することを課題とする。

【0029】

【課題を解決するための手段】本発明の駆動回路（制御電流出力回路）の構成を以下に説明する。

【0030】制御電流出力回路は、制御電流出力回路に入力された基準電流に対応して、ほぼ同じ電流値の電流を出力する m （ m は自然数）個の電流出力回路（電流源回路とも呼び、以下、準制御電流出力回路と表記する）を有する。これら m 個の準制御電流出力回路は、それぞれポリシリコントランジスタ（具体的には多結晶半導体膜を有するTFT：多結晶TFT）を有する。

【0031】そして本発明は、 m 個の準制御電流出力回路から、制御電流出力回路の n （ n は m 以下の自然数）個の出力配線（以下、出力端子と表記する）へ出力される出力電流を平均化して出力されるようにする。

(5) 003-228333 (P2003-228333A)

【0032】例えば、これら m 個の準制御電流出力回路から、 n 個の出力端子へ出力される出力電流を、順に切り換えて出力する。

【0033】つまり、これら m 個の準制御電流出力回路に接続される出力端子と、 n 個の出力端子と、の接続の組み合わせを一定期間毎に切り換える。

【0034】すなわち、ある一定期間では、 n 個の出力端子が、 m 個の準制御電流出力回路の出力端子のうち、それぞれ異なる1つの出力端子と接続される構成であればよい。

【0035】具体的には、 n 個の出力端子のうち第1の出力端子と、第2の出力端子と、第1の準制御電流出力回路と、第2の準制御電流出力回路とを有する制御電流出力回路において、第1の出力端子と第1の準制御電流出力回路の出力端子とが接続し、第2の出力端子と第2の準制御電流出力回路の出力端子とが接続している状態と、第1の出力端子と第2の準制御電流出力回路の出力端子とが接続し、第2の出力端子と第1の準制御電流出力回路の出力端子とが接続している状態とを選択する手段を有する。

【0036】上記構成によって、2つの準制御電流出力回路の出力電流が時間的に平均化された状態で第1の出力端子及び第2の出力端子から出力される。

【0037】このようにして、制御電流出力回路が n 個の制御電流線に出力する出力電流（制御電流）は、時間的に平均化される。

【0038】従って、出力電流のばらつきを抑えた駆動回路（制御電流出力回路）を提供することができる。そして、本発明の駆動回路（制御電流出力回路）を用いた表示装置では、制御電流のばらつきによる画素の表示ムラを視覚的に低減することができる。

【0039】更に本発明は、多結晶TFTを用いて絶縁表面を有する基板上に作製された制御電流出力回路を、画素部が形成された基板上に一体形成することができる。よって、小型化、低消費電量化が可能な表示装置を提供することができる。

【0040】なお、本発明の表示装置は制御電流出力回路を複数有して信号線駆動回路を構成してもよく、複数の制御電流出力回路が出力する制御電流の電流値は、異なってもよい。また、複数の制御電流出力回路に入力する、基準電流は等しくてもよい。

【0041】なお、本発明の表示装置を構成する複数の画素は、それぞれ発光素子を有するが、発光素子は、OLED素子でも、電子源素子を利用した素子等でもよい。

【0042】なお本発明において、発光素子は、一重項励起子からの発光（蛍光）を利用するものでも、三重項励起子からの発光（燐光）を利用するものでも良い。

【0043】また、発光素子の有機化合物層としては、低分子材料、高分子材料、中分子材料のいずれの材料で

あってもよい。なお、中分子材料とは、昇華性を有さず、連鎖する分子の長さが、 $10\mu\text{m}$ 以下のものである。また有機化合物層は無機材料を含む層と有機材料を含む層との積層体を用いてもよい。具体的には、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることがある。

【0044】

【発明の実施の形態】（実施の形態1）本発明の制御電流出力回路及びそれを用いた表示装置について、以下に説明する。

【0045】図1は、本発明の制御電流出力回路の構成例を示す図である。なお本実施の形態では、制御電流出力回路の4個の出力端子（出力端子部）から、4個の準制御電流出力回路1102_1～1102_4の出力電流を順に切り換えて出力する構成の制御電流出力回路1100を例に示す。

【0046】図1において、制御電流出力回路1100は、切り換え回路1101と、準制御電流出力回路1102（1102_1～1102_4）とによって構成されている。

【0047】準電流出力回路1102_1～1102_4は、トランジスタ1112_1～1112_4を有しており、準制御電流出力回路1102_1～1102_4の出力端子（第1の端子）C1～C4は、トランジスタ1112_1～1112_4それぞれのドレイン端子に相当する。トランジスタ1112_1～1112_4のゲート電極は、基準トランジスタ1110のゲート電極と接続されている。基準トランジスタ1110のゲート電極とドレイン端子（電極）は接続され、ソース・ドレイン間に、基準電流源回路1111より入力される基準電流 I_0 が流れる。

【0048】なお、基準トランジスタ1110のソース端子（電極）の電位と、トランジスタ1112_1～1112_4のソース端子の電位とは、等しく保たれる。図1に示した構成では、基準トランジスタ1110のソース端子と、トランジスタ1112_1～1112_4のソース端子は電源線1120に接続され、同じ電位が与えられている。

【0049】こうして、基準トランジスタ1110のゲート電圧と、トランジスタ1112_1～1112_4のゲート電圧は等しく保たれ、トランジスタ1112_1～1112_4は、それぞれドレイン電流として、電流 I_1 ～ I_4 を流す。このとき、トランジスタ1112_1～1112_4の電流特性が揃っていれば、電流 I_1 ～ I_4 の電流値は等しい。しかし、トランジスタ1112_1～1112_4は多結晶TFTであるため、実際には、電流 I_1 ～ I_4 はばらついてしまう。そこで切り換え回路1101により電流 I_1 ～ I_4 を切り換えて出力する。

【0050】なお、基準トランジスタ1110の電流特

(6) 003-228333 (P2003-228333A)

性と、トランジスタ1112_1~1112_4の電流特性とは、必ずしも同じである必要はない。つまり、基準トランジスタ1110とトランジスタ1112（トランジスタ1112_1~1112_4のうちのどれかを示す）に、同じゲート電圧を印加した場合に、流れるドレイン電流が所定の電流比となるように設計者が設定することが可能である。ただし、移動度や、閾値電圧等の特性は揃っていることが望まれる。

【0051】例えば、基準トランジスタ1110のゲート長を L_0 、ゲート幅を W_0 とする。トランジスタ1112_1のゲート長を L_1 、ゲート幅を W_1 とする。 $L_0/W_0 : L_1/W_1$ を1:2とすることによって、電流 I_1 を、基準電流 I_0 の1/2程度とすることができる。

【0052】また、基準トランジスタ1110と、トランジスタ1102_1~1102_4は、 n チャネル型TFTでも、 p チャネル型TFTでもどちらでもかまわないが、基準トランジスタ1110と、トランジスタ1102_1~1102_4との極性は同じでなくてはならない。

【0053】なお、本発明の制御電流出力回路は、これに限定されない。 m （ m は自然数）個の準電流出力回路と、前記 m 個の準電流出力回路から一つを選択する n （ n は m 以下の自然数）個の切り換え手段とを含み、前記 n 個の切り換え手段のそれぞれは、一定期間毎に、前記 m 個の準電流出力回路の選択先を変える機能を有していてもよい。

【0054】次に、切り換え回路1101の構成について説明する。切り換え回路1101は、切り換え手段であるスイッチSW1~SW4と、端子（第2の端子）1~4を一つの群とする複数の端子群によって構成される。

【0055】スイッチSW1~SW4はそれぞれ、各端子群の端子1~4を順に選択する（但し、実際は端子ではなくスイッチに接続される配線が選択される）。ここで、あるスイッチSW p （ p は、1~4の自然数）において、端子群から端子 q （ q は、1~4の自然数）が選択されている場合は、SW p 以外のその他のスイッチも他の端子群の端子 q が選択されている。

【0056】ここで、端子1~4は、それぞれ異なる準制御電流出力回路1102_1~1102_4の出力端子C1~C4と接続されている。また、4本の制御電流線CS1~CS4に対応する4組の端子1~4において、同じ番号で示す端子は、それぞれ異なる準制御電流出力回路1102_1~1102_4の出力端子C1~C4と接続されている。

【0057】次に、切り換え手段であるスイッチSW1~SW4の具体的な回路構成の例を、図2に示す。なお、図2において、図1と同じ部分は同じ符号を用いて示す。

【0058】図2において、スイッチSW1~SW4は

それぞれ、4つのスイッチによって構成される。4つのスイッチは、配線A1~A4及び配線A1b~A4bに入力される信号によって、端子1~4を順に選択し、制御電流線CS1~CS4と接続する。

【0059】なお、配線A q （ q は、1~4の自然数）に入力される信号の極性が反転した信号が、配線A qb に入力される。

【0060】次に、図1及び図2で示した構成の制御電流出力回路の駆動方法を説明する。図3には、制御電流出力回路の駆動方法を示すタイミングチャートを示す。

【0061】図3に示すA1~A4及びA1b~A4bは、配線A1~A4及び配線A1b~A4bに入力される信号の電位を示す。またフレーム期間F1~F4は、1フレーム期間を順に示す。なお、1フレーム期間とは、表示装置が1画像を表示する期間である。1フレーム期間は、通常、人間の目がちらつきを感じない様に、1/60秒程度に設定されている。

【0062】第1のフレーム期間F1において、配線A1及び配線A1bに信号が入力され、SW1~SW4においてそれぞれ、端子1が選択される。

【0063】第2のフレーム期間F2において、配線A2及び配線A2bに信号が入力され、SW1~SW4においてそれぞれ、端子2が選択される。

【0064】同様の動作を繰り返し、フレーム期間F1~F4が終了する。こうして、SW1~SW4は、それぞれ端子1~端子4を順に選択する。

【0065】こうして、上記のように切り換え回路1101を操作することによって、制御電流線CS1~CS4の出力電流の電流値の時間的な平均値は同じとなる。

【0066】このように、制御電流線CS1~CS4に出力される電流は、時間的に平均化され出力される。よって、上記構成の制御電流出力回路1100を表示装置に用いることによって、制御電流のばらつきによる画素の表示ムラを、視覚的に低減することができる。

【0067】なお、図3に示したタイミングチャートでは、1フレーム期間毎に、各スイッチSW1~SW4それぞれを順に切り換え、端子1~端子4を順に選択する構成とした。上記駆動方法では、あるスイッチSW q （ q は、1~4の自然数）において、端子1が選択される期間と、端子2が選択される期間と、端子3が選択される期間と、端子4が選択される期間とは、同じ長さに設定されている。

【0068】しかし、本発明はこれに限定されない。任意の長さの期間毎に、スイッチSW1~SW4を切り換える構成とすることができる。例えば、2フレーム期間毎に、各スイッチSW1~SW4をそれぞれ切り換え、端子1~端子4を順に選択する構成とすることも可能である。

【0069】また1フレームを複数のサブフレームに分け階調表示を行う場合、サブフレーム毎にスイッチSW

(7) 003-228333 (P2003-228333A)

1〜SW4を切り換えてもよい。但しこのとき、画素に信号を書き込む期間以外に、スイッチを切り換える必要がある。つまり、1フレームはサブフレーム期間SF1、SF2、…、SFmを有し、前記m個のサブフレーム期間SF1、SF2、…、SFmは、それぞれ書き込み期間Ta1、Ta2、…、Tамと表示期間Ts1、Ts2、…、Tsmとを有し、表示期間Ts1、Ts2、…、Tsmのいずれかにおいて、スイッチを切り換えてもよい。

【0070】なお、図1や図2においては、4本の制御電流線に対応する制御電流出力回路のみを代表で示した。しかし実際の表示装置では、各画素に制御電流を入力する全ての制御電流線を、複数の組に分割し、それぞれの組において、図1と同様の構成の制御電流出力回路より制御電流が出力される構成とすればよい。

【0071】図15(A)に、表示装置の各画素に制御電流を入力する全ての制御電流線CS1〜CSxを、複数の組(第1組〜第r(rは自然数)組)に分割し、それぞれの組において、図1に示した制御電流出力回路1100と同様の構成の、制御電流出力回路1100_B1〜1100_Brを配置した構成を示す。

【0072】なお、制御電流出力回路1100_B1〜1100_Brそれぞれの構成及び駆動方法は、図1や図2で示した構成及び図3で示した駆動方法と同様であるので、ここでは説明は省略する。

【0073】図15(A)の構成において、複数の組の制御電流線それぞれに対応する制御電流出力回路1100_B1〜1100_Brにおいて、基準電流I0は、共通の基準電流源回路から入力される構成としてもよい。更に、制御電流出力回路1100_B1〜1100_Brにおいて、基準トランジスタを共有する構成としてもよい。

【0074】図15(B)に、図15(A)に示した構成において、制御電流出力回路1100_B1〜1100_Brにおいて、共有の基準電流源回路1111及び基準トランジスタ1110を有する構成を示す。

【0075】なお、制御電流出力回路1100_B1〜1100_Brにおいて、図1と同じ部分は、同じ符号を用いて示す。

【0076】図15(B)において、制御電流出力回路1100_B1を構成する、準制御電流出力回路1102_1〜1102_4のトランジスタ1112_1〜1112_4と、制御電流出力回路1100_B2を構成する、準制御電流出力回路1102_1〜1102_4のトランジスタ1112_1〜1112_4は、そのソース端子は電源線1120に接続され、そのゲート電極は基準トランジスタ1110のゲート電極と接続されている。

【0077】なお図15(B)においては、第1組の制御電流線CS1〜CS4に対応する制御電流出力回路1

100_B1と、第2組の制御電流線CS5〜CS8に対応する制御電流出力回路1100_B2とを代表で示したが、全ての制御電流出力回路1100_B1〜1100_Brの、準制御電流出力回路1102_1〜1102_4を構成するトランジスタ1112_1〜1112_4は、そのソース端子は電源線1120に接続され、そのゲート電極は基準トランジスタ1110のゲート電極と接続されている。

【0078】こうして、共有の基準トランジスタ1110のゲート電圧と等しい電圧が、全ての制御電流出力回路1100_B1〜1100_Brの、準制御電流出力回路1102_1〜1102_4を構成するトランジスタ1112_1〜1112_4のゲート電圧として印加される。

【0079】なお、制御電流出力回路1100_B1〜1100_Brにおいて、切り換え回路1101の駆動タイミングを同じとすることも可能である。つまり、図1に示した切り換え回路1101を構成するスイッチSW1〜SW4が、端子1〜端子4を選択するタイミングを、制御電流出力回路1100_B1〜1100_Br全ての切り換え回路1101において同じとすることができる。

【0080】例えば、切り換え回路1101の構成として、図2と同様の構成を用いた場合を例に挙げる。このとき、切り換え回路1101の配線A1〜A4及び配線A1b〜A4bを、制御電流出力回路1100_B1〜1100_Br全ての切り換え回路1101において共有する構成とする。

【0081】こうして、図3に示したように、配線A1〜A4及び配線A1b〜A4bに信号を入力し、切り換え回路1101を構成するスイッチSW1〜SW4が、端子1〜端子4を選択するタイミングを、制御電流出力回路1100_B1〜1100_Br全ての切り換え回路1101において同じとすることができる。

【0082】上記構成によって、表示装置の画素部(複数の画素が設けられる領域)に形成された全ての制御電流線CS1〜CSxに、時間的に平均化された制御電流を出力することができる。こうして、表示装置が有する各画素の発光素子の輝度の視覚的なばらつきを低減することができる。

【0083】(実施の形態2)本実施の形態では、実施の形態1において示した構成とは異なる制御電流出力回路の構成について、図14を用いて説明する。

【0084】図14において、本実施の形態の制御電流出力回路1440は、制御電流出力回路1100を有し、制御電流出力回路1100の出力端子Q1〜Q4より出力される出力電流は、4つの制御電流出力回路1400_1〜1400_4に基準電流として入力されることを特徴とする。そして、制御電流出力回路1400_1〜1400_4より、制御電流線CS1〜CS16に

(8) 003-228333 (P2003-228333A)

制御電流が出力される。

【0085】このように、基準電流を切り換えて制御電流出力回路1400_1~1400_4に供給することにより、出力電流のばらつきをさらに低減することができる。

【0086】なお、制御電流出力回路1100や制御電流出力回路1400_1~1400_4の構成及び駆動方法は、実施の形態1において、図1や図2に示した構成及び図3に示した駆動方法と同様とすることができる。

【0087】なお、図14において、制御電流出力回路1100は、4つ準制御電流出力回路1102_1~1102_4の出力電流を、切り換え回路1101によって一定期間毎に順に入れ換え、4つの出力端子Q1~Q4より出力する構成としたが、本発明はこれに限定されない。

【0088】図14における制御電流出力回路1100は、 m (m は自然数)個の準電流出力回路と、前記 m 個の準電流出力回路から一つを選択する n (n は m 以下の自然数)個の切り換え手段とを含み、前記 n 個の切り換え手段のそれぞれは、一定期間毎に、前記 m 個の準電流出力回路の選択先を変える機能を有していればよい。

【0089】また、図14において、制御電流出力回路1400_1~1400_4はそれぞれ、4つの準制御電流出力回路の出力電流を、切り換え回路1401によって、一定期間毎に順に入れ換え、4つの出力端子より、4本の制御電流線に出力する構成としたが、本発明はこれに限定されない。

【0090】図14における制御電流出力回路1400_1~1400_4はそれぞれ、 f (f は自然数)個の準電流出力回路と、前記 f 個の準電流出力回路から一つを選択する e (e は f 以下の自然数)個の切り換え手段とを含み、前記 e 個の切り換え手段のそれぞれは、一定期間毎に、前記 f 個の準電流出力回路の選択先を変える機能を有していればよい。

【0091】なお、図14においては、16本の制御電流線CS1~CS16に対応する制御電流出力回路1440のみを説明した。しかし実際の表示装置では、各画素に制御電流を入力する、全ての制御電流線を、複数の組に分割し、いくつかの組毎に、図14と同様の構成の制御電流出力回路1440より制御電流が出力される構成とすればよい。

【0092】図16(A)に、表示装置の各画素に制御電流を入力する全ての制御電流線CS1~CS x を、複数の組(第1組~第 r (r は自然数)組)に分割し、4つの組毎に、図16に示した制御電流出力回路1440と同様の構成の制御電流出力回路1440_1~1440_ $r/4$ を配置した構成を示す。

【0093】制御電流出力回路1440_1~1440_ $r/4$ それぞれの構成は、図14で示した制御電流出

力回路1440の構成と同様である。例えば、図16

(A)において、各制御電流出力回路1440_1の制御電流出力回路1400_B1~1400_B4は、図14における制御電流出力回路1400_1~1400_4に相当し、制御電流出力回路1100_1は、図14における制御電流出力回路1100に相当する。

【0094】図16(A)の構成において、複数の組の制御電流線それぞれに対応する制御電流出力回路1440_1~1440_ $r/4$ において、基準電流I0は、共通の基準電流源回路から入力される構成としてもよい。

【0095】更に、制御電流出力回路1440_1~1440_ $r/4$ において、基準トランジスタを共有する構成としてもよい。

【0096】図16(B)に、図16(A)に示した構成において、制御電流出力回路1440_1~1440_ $r/4$ において、共有の基準電流源回路1111及び基準トランジスタ1110を有する構成を示す。なお、制御電流出力回路1440_1~1440_ $r/4$ 中の、制御電流出力回路1100_1~1100_2において、図14と同じ部分は、同じ符号を用いて示す。

【0097】図16(B)において、制御電流出力回路1100_1を構成する、準制御電流出力回路1102_1~1102_4のトランジスタ1112_1~1112_4と、制御電流出力回路1100_2を構成する、準制御電流出力回路1102_1~1102_4のトランジスタ1112_1~1112_4は、そのソース端子は電源線1120に接続され、そのゲート電極は基準トランジスタ1110のゲート電極と接続されている。

【0098】なお図16(B)においては、第1組~第4組の制御電流線CS1~CS16に対応する制御電流出力回路1440_1と、第5組~第8組の制御電流線CS17~CS32に対応する制御電流出力回路1440_2とを代表で示した。しかし、全ての制御電流出力回路1440_1~1440_ $r/4$ の、制御電流出力回路1100_1~1100_ $r/4$ の準制御電流出力回路1102_1~1102_4を構成するトランジスタ1112_1~1112_4は、そのソース端子は電源線1120に接続され、そのゲート電極は基準トランジスタ1110のゲート電極と接続されている。

【0099】こうして、共有の基準トランジスタ1110のゲート電圧と等しい電圧が、全ての制御電流出力回路1440_1~1440_ $r/4$ の、制御電流出力回路1100_1~1100_ $r/4$ の準制御電流出力回路1102_1~1102_4を構成するトランジスタ1112_1~1112_4のゲート電圧として印加される。

【0100】なお、制御電流出力回路1100_1~1100_ $r/4$ において、切り換え回路1101の駆動

(9) 003-228333 (P2003-228333A)

タイミングを同じとすることができる。つまり、図1に示した切り換え回路1101を構成するスイッチSW1～SW4が、端子1～端子4を選択するタイミングを、制御電流出力回路1100_1～1100_r/4全ての切り換え回路1101において同じとすることができる。

【0101】例えば、切り換え回路1101の構成として、図2と同様の構成を用いた場合を例に挙げる。このとき、切り換え回路1101の配線A1～A4及び配線A1b～A4bを、制御電流出力回路1100_1～1100_r/4全ての切り換え回路1101において共有する構成とする。

【0102】こうして、図3に示したように、配線A1～A4及び配線A1b～A4bに信号を入力し、切り換え回路1101を構成するスイッチSW1～SW4が、端子1～端子4を選択するタイミングを、制御電流出力回路1100_1～1100_r/4全ての切り換え回路1101において同じとすることができる。

【0103】なお、制御電流出力回路1100_1～1100_r/4の切り換え回路1101の駆動タイミングと、制御電流出力回路1400_B1～1400_Brの切り換え回路1401の駆動タイミングは、別のタイミングで実施可能である。

【0104】上記構成によって、表示装置の画素部に形成された全ての制御電流線CS1～CSxに、時間的に平均化された制御電流を出力することができる。こうして、表示装置が有する各画素の発光素子の輝度の視覚的なばらつきを低減することができる。

【0105】ここで、実施の形態1において図15(B)で示した構成では、異なる組の制御電流線に対応する制御電流出力回路間の出力電流のばらつきを問題としていなかった。

【0106】一方本実施の形態では、図14に示したように、時間的に平均化されたばらつきの少ない電流を出力する、制御電流出力回路1100の1つの出力端子からの出力電流を、制御電流出力回路1400_1～1400_4等を用いて、複数の制御電流線に出力する構成としている。この際、制御電流出力回路1400_1～1400_4もそれぞれ、時間的に平均化されたばらつきの少ない電流を、制御電流として出力する。

【0107】そのため本実施の形態2の構成を用いれば、図16(A)に示した制御電流出力回路1440_1～1440_r/4それぞれに対応する、異なる組の制御電流線への出力電流のばらつきを低減することができる。

【0108】本実施の形態において、図14で示したように、本発明の制御電流出力回路を複数組み合わせることによって、出力する電流のばらつきを、より低減した制御電流出力回路を得ることができる。

【0109】

【実施例】(実施例1) 本実施例では、制御電流出力回路を複数備え、それぞれの制御電流出力回路が出力する制御電流の値が、異なる様に設定された表示装置の例を説明する。

【0110】なお、本実施例では、デジタルビデオ信号を入力し、入力したデジタルビデオ信号に対応するアナログ電流を、制御電流として画素に入力し、画像表示を行う表示装置を例に説明する。

【0111】ここで、複数の制御電流出力回路がそれぞれ出力する制御電流が、階調基準電流に相当する。なお、階調基準電流とは、デジタルビデオ信号の上位ビット～下位ビットの各ビットに対応して、重み付けされた電流値の電流である。

【0112】デジタルビデオ信号によって、対応する階調基準電流が選択される。こうして、デジタルビデオ信号は、対応するアナログ電流に変換させる。そして、制御電流線には、アナログ電流が出力される。

【0113】つまり、本実施例で示す、複数の制御電流出力回路は、画素に信号電流を入力する信号線駆動回路の一部として機能し、制御電流線は信号線に相当する。

【0114】図4に本実施例の表示装置の有する信号線駆動回路220の構成を示す模式図を示す。

【0115】図4では、3ビットのデジタルビデオ信号を入力し、対応するアナログ電流を制御電流として出力する例を挙げる。

【0116】信号線駆動回路220は、第1の制御電流出力回路200Aと、第2の制御電流出力回路200Bと、第3の制御電流出力回路200Cと、D/A変換部203と、シフトレジスタ211と、第1のラッチ回路212と、第2のラッチ回路213とを有する。

【0117】第1の制御電流出力回路200Aは、4つの準制御電流出力回路より構成される第1の準制御電流出力回路202Aと、第1の切り換え回路201Aとを有する。

【0118】第2の制御電流出力回路200Bは、4つの準制御電流出力回路より構成される第2の準制御電流出力回路202Bと、第2の切り換え回路201Bとを有する。

【0119】第3の制御電流出力回路200Cは、4つの準制御電流出力回路より構成される第3の準制御電流出力回路202Cと、第3の切り換え回路201Cとを有する。

【0120】図4において、各制御電流出力回路(第1の制御電流出力回路200A、第2の制御電流出力回路200B、第3の制御電流出力回路200C)の構成は、実施の形態において示した構成とほぼ同様である。

【0121】ただし、第1の制御電流出力回路200Aの出力する電流(以下、第1の階調基準電流と呼ぶ)の電流値は、表示装置に入力されるデジタルビデオ信号の第1位ビットに対応して、重み付けされた電流値に設定

(図 10) 103-228333 (P 2003-228333A)

されている。また、第2の制御電流出力回路200Bの出力する電流（以下、第2の階調基準電流と呼ぶ）の電流値は、表示装置に入力されるデジタルビデオ信号の第2位ビットに対応して、重み付けされた電流値に設定されている。第3の制御電流出力回路200Cの出力する電流（以下、第3の階調基準電流と呼ぶ）の電流値は、表示装置に入力されるデジタルビデオ信号の第3位ビットに対応して、重み付けされた電流値に設定されている。

【0122】また、本実施例では、第1の制御電流出力回路200A～第3の制御電流出力回路200Cそれぞれにおいて、制御電流出力回路の4個の出力端子に、準制御電流出力回路の4つの出力電流を入れ替えて出力する構成を例とする。

【0123】なお、本発明の制御電流出力回路は、これに限定されない。m（mは自然数）個の準電流出力回路と、前記m個の準電流出力回路から一つを選択するn（nはm以下の自然数）個の切り換え手段とを含み、前記n個の切り換え手段のそれぞれは、一定期間毎に、前記m個の準電流出力回路の選択先を変える機能を有しているもよい。

【0124】本実施例では、第1の制御電流出力回路200A～第3の制御電流出力回路200Cそれぞれの出力電流は、D/A変換部203に入力される。

【0125】また、信号線駆動回路220に、配線VD1～VD3より3ビットのデジタルビデオ信号が入力される。ここで、VD1は、デジタルビデオ信号の第1位（最上位）ビットの信号が入力されたとする。VD2は、デジタルビデオ信号の第2位ビットの信号が入力されたとする。VD3は、デジタルビデオ信号の第3位（最下位）ビットの信号が入力されたとする。

【0126】信号線駆動回路220に入力された3ビットのデジタルビデオ信号をサンプリングする動作について、以下に詳細に説明する。

【0127】なお本実施例において、表示装置は、x（xは自然数）列の画素を有するものとする。

【0128】図6に、図4のシフトレジスタ211、第1のラッチ回路212、第2のラッチ回路213の回路の構成例を示す。

【0129】シフトレジスタ211には、クロックパルスS_CLK、クロックパルスの極性が反転した反転クロックパルスS_CLKB及び、スタートパルスS_SP、走査方向切り換え信号L/Rが入力される。こうして、シフトレジスタは順にシフトしたパルス（サンプリングパルス）を端子211_1～211_xに出力する。

【0130】図6では、第1の画素列に信号を出力する部分に対応する、第1のラッチ回路の一部212_1と、第2のラッチ回路の一部213_1のみを代表で示す。

【0131】配線VD1～VD3に入力されたデジタルビデオ信号は、シフトレジスタ211より211_1に出力されたサンプリングパルスによって、第1のラッチ回路212_1の各ブロック212a_1～212a_3に同時に保持される。第1のラッチ回路が、1画素行分の3ビットのデジタルビデオ信号を保持し終わると、保持された信号は、ラッチパルスLP及びラッチパルスの極性が反転した反転ラッチパルスLPBによって第2のラッチ回路213_1の各ブロック213a_1～213a_3に一齐に転送される。第2のラッチ回路213_1の各ブロック213a_1～213a_3に保持された信号は、配線S1d_1～配線S1d_3に出力される。

【0132】こうして、第2のラッチ回路213は、1画素行の各画素に対応する3ビットのデジタルビデオ信号を一齐に出力する。

【0133】第2のラッチ回路213の出力は、D/A変換部203に入力される。

【0134】再び図4を参照する。

【0135】D/A変換部203では、第2のラッチ回路213から入力されたデジタルビデオ信号によって、第1の階調基準電流～第3の階調基準電流が選択される。こうして、D/A変換部203は、デジタルビデオ信号に対応するアナログ電流（信号電流）を制御電流線CS1～CS4に出力する。

【0136】なお、信号線駆動回路を構成するシフトレジスタ211、第1のラッチ回路212、第2のラッチ回路213の構成としては、公知の構成の回路を自由に用いることが可能である。

【0137】また、シフトレジスタ211の代わりに、デコーダ等を用いることも可能である。

【0138】図4に示した構成の信号線駆動回路220の第1の制御電流出力回路200A、第2の制御電流出力回路200B、第3の制御電流出力回路200C、D/A変換部203の構成を具体的に示した回路図を図5に示す。

【0139】図5を用いて、信号線駆動回路220の構造及び動作を説明する。

【0140】第1の準制御電流出力回路202Aは4つの準制御電流出力回路111_1～114_1によって構成される。第2の準制御電流出力回路202Bは、4つの準制御電流出力回路111_2～114_2によって構成される。第3の準制御電流出力回路202Cは、4つの準制御電流出力回路111_3～114_3によって構成される。

【0141】基準トランジスタ100のゲート電極とドレイン端子とは接続されているため、基準トランジスタ100がドレイン電流を流す際は、飽和領域で動作する。ここで、基準電流源回路1111から入力される一定電流I0が、基準トランジスタ100のソース・ドレ

(図1) 103-228333 (P2003-228333A)

イン端子間に入力される。こうして、基準トランジスタ100は一定電流I0をドレイン電流として流す。

【0142】図5において、基準トランジスタ100と、第1の準制御電流出力回路202Aを構成する4つの準制御電流出力回路111_1～114_1が有するトランジスタ101_1～104_1と、第2の準制御電流出力回路202Bを構成する4つの準制御電流出力回路111_2～114_2が有するトランジスタ101_2～104_2と、第3の準制御電流出力回路202Cを構成する4つの準制御電流出力回路111_3～114_3が有するトランジスタ101_3～104_3とは、そのソース端子は電源線に接続され、また、そのゲート電極が電氣的に接続されている。

【0143】こうして、基準トランジスタ100のゲート電圧と、トランジスタ101_1～104_1、101_2～104_2、101_3～104_3のゲート電圧は等しく保たれる。

【0144】トランジスタ101_1～104_1のドレイン端子が、第1の準制御電流出力回路の出力端子に相当し、トランジスタ101_2～104_2のドレイン端子が、第2の準制御電流出力回路の出力端子に相当し、トランジスタ101_3～104_3のドレイン端子が、第3の準制御電流出力回路の出力端子に相当する。

【0145】ただし、第1の準制御電流出力回路111_1～114_1を構成するトランジスタ101_1～104_1のゲート幅W1及びゲート長L1は全て等しく設定されている。また、第2の準制御電流出力回路111_2～114_2を構成するトランジスタ101_2～104_2のゲート幅W2及びゲート長L2は全て等しく設定されている。第3の準制御電流出力回路111_3～114_3を構成するトランジスタ101_3～104_3のゲート幅W3及びゲート長L3は全て等しく設定されている。ここで、ゲート幅W1とゲート長L1の比 $W1/L1$ と、ゲート幅W2とゲート長L2の比 $W2/L2$ と、ゲート幅W3とゲート長L3の比 $W3/L3$ とは、異なる値に設定されている。

【0146】例えば、 $W1/L1 : W2/L2 : W3/L3$ を4対2対1とする。この場合、第1の準制御電流出力回路111_1～114_1が出力する電流I1_1～I4_1の電流値の平均値I_1と、第2の準制御電流出力回路111_2～114_2が出力する電流I1_2～I4_2の電流値の平均値I_2と、第3の準制御電流出力回路111_3～114_3が出力する電流I1_3～I4_3の電流値の平均値I_3との比を、4対2対1とすることができる。

【0147】ここで、基準トランジスタ100と、トランジスタ101_1～104_1、101_2～104_2、101_3～104_3は、nチャネル型TFTでも、pチャネル型TFTでもどちらでもかまわない

が、基準トランジスタ100と、トランジスタ101_1～104_1、101_2～104_2、101_3～104_3との極性は同じでなくてはならない。

【0148】トランジスタ101_1～104_1の電流特性が揃っていれば、電流I1_1～I4_1の電流値は等しい。トランジスタ101_2～104_2の電流特性が揃っていれば、電流I1_2～I4_2の電流値は等しい。トランジスタ101_3～104_3の電流特性が揃っていれば、電流I1_3～I4_3の電流値は等しい。しかし、トランジスタ101_1～104_1、101_2～104_2、101_3～104_3は多結晶TFTであるため、実際には、電流I1_1～I4_1のばらつき、電流I1_2～I4_2のばらつき、電流I1_3～I4_3のばらつきは大きい。

【0149】次に、スイッチSW1_1～SW1_3、SW2_1～SW2_3、SW3_1～SW3_3、SW4_1～SW4_3の構成について説明する。

【0150】スイッチSW1_1、SW2_1、SW3_1、SW4_1によって、第1の準制御電流出力回路111_1～114_1の出力電流I1_1～I4_1が、一定期間毎に、例えば1フレーム期間毎に、PCS1_1、PCS2_1、PCS3_1、PCS4_1に入れ替えて出力される。

【0151】スイッチSW1_2、SW2_2、SW3_2、SW4_2によって、第2の準制御電流出力回路111_2～114_2の出力電流I1_2～I4_2が、一定期間毎に、例えば1フレーム期間毎に、PCS1_2、PCS2_2、PCS3_2、PCS4_2に入れ替えて出力される。

【0152】スイッチSW1_3、SW2_3、SW3_3、SW4_3によって、第3の準制御電流出力回路111_3～114_3の出力電流I1_3～I4_3が、一定期間毎に、例えば1フレーム期間毎に、PCS1_3、PCS2_3、PCS3_3、PCS4_3に入れ替えて出力される。

【0153】各組の準制御電流出力回路(111_1～114_1、111_2～114_2及び111_3～114_3)それぞれに対応するスイッチ(SW1_p～SW4_p)の構成及びその駆動方法は、実施の形態において、図2で切り換え手段であるSW1～SW4で示した構成及び図3のタイミングチャートと同様とすることができるので、ここでは詳細な説明は省略する。

【0154】上記構成によって、第1の階調基準電流に相当する、PCS1_1、PCS2_1、PCS3_1、PCS4_1より出力される電流は、時間的に平均化される。第2の階調基準電流に相当する、PCS1_2、PCS2_2、PCS3_2、PCS4_2より出力される電流は、時間的に平均化される。第3の階調基準電流に相当する、PCS1_3、PCS2_3、PCS3_3、PCS4_3より出力される電流は、時間的に平均化される。

【0155】次に、D/A変換部203について説明する。

【0156】制御電流線CS1に信号電流を出力する部分

(図 2) 103-228333 (P 2003-228333A)

は、トランジスタ401_1~401_3によって構成される。

【0157】トランジスタ401_1のゲート電極には、第2のラッチ回路213より配線S1d_1を介して、第1位ビットのデジタルビデオ信号が入力される。トランジスタ401_1のソース端子又はドレイン端子の一方は、PCS1_1に接続され、もう一方は、制御電流線CS1に接続される。

【0158】トランジスタ401_2のゲート電極には、第2のラッチ回路213より配線S1d_2を介して、第2位ビットのデジタルビデオ信号が入力される。トランジスタ401_2のソース端子又はドレイン端子の一方は、PCS1_2に接続され、もう一方は、制御電流線CS1に接続される。

【0159】トランジスタ401_3のゲート電極には、第2のラッチ回路213より配線S1d_3を介して、第3位ビットのデジタルビデオ信号が入力される。トランジスタ401_3のソース端子又はドレイン端子の一方は、PCS1_3に接続され、もう一方は、制御電流線CS1に接続される。

【0160】制御電流線CS2~CS4に対応する部分も、制御電流線CS1に対応する部分と同様である。

【0161】制御電流線CS1に信号電流を出力する、D/A変換部203の一部では、トランジスタ401_1~401_3のうち、第2のラッチ回路213より配線S1d_1~S1d_3を介して入力されたデジタルビデオ信号によって導通状態となったトランジスタを介して、第1の階調基準電流~第3の階調基準電流が選択的に流れる。こうして、制御電流線CS1に、デジタルビデオ信号に対応する、アナログの信号電流が出力される。

【0162】制御電流線CS2~CS4についても、同様に、デジタルビデオ信号に対応するアナログの信号電流が出力される。

【0163】こうして、各制御電流線CS1~CS4に出力されるアナログの信号電流が入力される画素において、その発光素子の輝度のばらつきを、視覚的に低減することができる。

【0164】なお、本実施例においては、4本の制御電流線に対応する制御電流出力回路のみを代表で示した。一般に、表示装置の各画素に制御電流を入力する、全ての制御電流線を、複数の組に分割し、それぞれの組において、図4及び図5と同様の構成の制御電流出力回路より制御電流が出力されるようにする。

【0165】こうして、表示装置が有する各画素の発光素子の輝度の視覚的なばらつきを低減することができる。

【0166】なお、本実施例における表示装置の画素構成としては、各画素の発光素子の発光輝度を制御する制御電流として、アナログの信号電流を入力し、表示を行うタイプの画素を自由に用いることができる。例えば、

従来例において、図7で示したような構成の画素を用いることができる。

【0167】なお、本実施例では、1つの基準電流源回路を、複数の制御電流出力回路で共有し、複数の階調基準電流を生成する構成の信号制御回路を例に示したが、本発明はこれに限定されない。複数の制御電流出力回路毎に、異なる電流値の電流を出力する基準電流源回路を設ける構成の信号線駆動回路にも容易に応用することができる。

【0168】(実施例2) 本実施例では、本発明の表示装置の画素部及び駆動回路部を、絶縁表面を有する基板上に、TFTを用いて作製する手法について説明する。

【0169】なお、本実施例では簡単のため、画素を構成する素子として、画素への信号電流の入力を選択するスイッチングトランジスタと、発光素子に電流を供給する駆動トランジスタと、発光素子とを代表で示す。また、駆動回路部を構成する素子として、nチャネル型トランジスタとpチャネル型トランジスタによって構成される、CMOS回路を代表で示す。

【0170】まず、図9(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、又はアルミノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜5002aを10~200[nm] (好ましくは50~100[nm]) 形成し、同様にSiH₄、N₂Oから作製される酸化窒化水素化シリコン膜5002bを50~200[nm] (好ましくは100~150[nm]) の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜又は2層以上積層させた構造として形成しても良い。

【0171】次に非晶質構造を有する半導体膜を形成し、島状半導体層5003~5006のようにパターンニングする。そして、レーザー結晶化法や公知の熱結晶化法を用いて非晶質構造を有する半導体膜を結晶化し、結晶質半導体膜を形成する。この島状半導体層5003~5006の厚さは25~80[nm] (好ましくは30~60[nm]) の厚さで形成する。半導体膜の材料に限定はないが、好ましくはシリコン又はシリコンゲルマニウム(SiGe)合金などで形成すると良い。

【0172】なお、レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型又は連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30[Hz]とし、レーザ

(図3) 103-228333 (P2003-228333A)

ーエネルギー密度を $100\sim400$ [mJ/cm²] (代表的には $200\sim300$ [mJ/cm²]) とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数 $1\sim10$ [kHz]とし、レーザーエネルギー密度を $300\sim600$ [mJ/cm²] (代表的には $350\sim500$ [mJ/cm²]) とすると良い。そして幅 $100\sim1000$ [μ m]、例えば 400 [μ m]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率 (オーバーラップ率) を $50\sim98$ [%]として行う。

【0173】次いで、島状半導体層5003～5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法又はスパッタ法を用い、厚さを $40\sim150$ [nm]としてシリコンを含む絶縁膜で形成する。本実施例では、 120 [nm]の厚さで酸化窒化シリコン膜を形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層又は積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO₂とを混合し、反応圧力 40 [Pa]、基板温度 $300\sim400$ [°C]とし、高周波 (13.56 [MHz])、電力密度 $0.5\sim0.8$ [W/cm²]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後 $400\sim500$ [°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0174】そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで $50\sim100$ [nm]の厚さに形成し、第2の導電膜5009をWで $100\sim300$ [nm]の厚さに形成する。

【0175】Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、 α 相のTa膜の抵抗率は 20 [$\mu\Omega$ cm]程度でありゲート電極に使用することは出来るが、 β 相のTa膜の抵抗率は 180 [$\mu\Omega$ cm]程度でありゲート電極とするには不向きである。 α 相のTa膜を形成するために、Taの α 相に近い結晶構造をもつ窒化タンタルを $10\sim50$ [nm]程度の厚さでTaの下地に形成しておくことと α 相のTa膜を容易に得ることが出来る。

【0176】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン (WF₆) を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は 20 [$\mu\Omega$ cm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中

に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 99.9999 [%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率 $9\sim20$ [$\mu\Omega$ cm]を実現することが出来る。

【0177】なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、又は前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル (Ta₂N₅) で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル (Ta₂N₅) で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル (Ta₂N₅) で形成し、第2の導電膜5009をCuとする組み合わせが挙げられる。

【0178】次に、レジストによりマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、 1 [Pa]の圧力でコイル型の電極に 500 [W]のRF (13.56 [MHz]) 電力を投入してプラズマを生成して行う。基板側 (試料ステージ) にも 100 [W]のRF (13.56 [MHz]) 電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0179】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は $15\sim45^\circ$ となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10\sim20$ [%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は $2\sim4$ (代表的には3) であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20\sim50$ [nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011～5016 (第1の導電層5011a～5016aと第2の導電層5011b～5016b) を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011～5016で覆われない領域は $20\sim50$ [nm]程度エッチングされ薄くなった領域が形成される。(図9 (B))

【0180】そして、第1のドーピング処理を行い、n

(図4) 103-228333 (P2003-228333A)

型を付与する不純物元素を添加する。ドーピングの方法はイオンドーピング法もしくはイオン注入法で行えば良い。イオンドーピング法の条件はドーピング量を $1 \times 10^{13} \sim 5 \times 10^{14}$ [atoms/cm²]とし、加速電圧を60～100 [keV]として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)又は砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層5011～5015がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017～5025が形成される。第1の不純物領域5017～5025には $1 \times 10^{20} \sim 1 \times 10^{21}$ [atoms/cm³]の濃度範囲でn型を付与する不純物元素を添加する。

(図9(B))

【0181】次に、図9(C)に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスにCF₄とCl₂とO₂とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層5026～5031(第1の導電層5026a～5031aと第2の導電層5026b～5031b)を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5026～5031で覆われない領域はさらに20～50 [nm]程度エッチングされ薄くなった領域が形成される。

【0182】W膜やTa膜のCF₄とCl₂の混合ガスによるエッチング反応は、生成されるラジカル又はイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF₆が極端に高く、その他のWCl₅、TaF₅、TaCl₅は同程度である。従って、CF₄とCl₂の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量のO₂を添加するとCF₄とO₂が反応してCOとFになり、Fラジカル又はFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、O₂を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0183】そして、図10(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーピング量を下げて高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120 [keV]とし、 1×10^{13} [atoms/cm²]のドーピング量で行い、図9(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5026～5030を不純物元素に対するマスクとして用い、第1

の導電層5026a～5030aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域5032～5036が形成される。この第3の不純物領域5032～5036に添加されたリン(P)の濃度は、第1の導電層5026a～5030aのテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5026a～5030aのテーパ部と重なる半導体層において、第1の導電層5026a～5030aのテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0184】図10(B)に示すように第3のエッチング処理を行う。エッチングガスにCHF₃を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層5026a～5031aのテーパ部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層5037～5042(第1の導電層5037a～5042aと第2の導電層5037b～5042b)を形成する。このとき、ゲート絶縁膜5007においては、第3の形状の導電層5037～5042で覆われない領域はさらに20～50 [nm]程度エッチングされ薄くなった領域が形成される。

【0185】第3のエッチング処理によって、第3のエッチング前の第3の不純物領域5032～5036においては、第1の導電層5037a～5041aと重なる第3の不純物領域5032a～5036aと、第1の不純物領域と第3の不純物領域の間の第2の不純物領域5032b～5036bとが形成される。

【0186】そして、図10(C)に示すように、pチャネル型TFTを形成する島状半導体層5004、5006に第1の導電型とは逆の導電型の第4の不純物領域5043～5054を形成する。第3の形状の導電層5038b、5041bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層5003、5005および配線部5042はレジストマスク5200で全面を被覆しておく。不純物領域5043～5054には既にそれぞれ異なる濃度でリンが添加されているが、ジボラン(B₂H₆)を用い、イオンドーピングで、そのいずれの領域においても不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21}$ [atoms/cm³]となるように形成する。

【0187】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5037～5041がゲート電極として機能する。また、5042は島状の信号線として機能する。

【0188】レジストマスク5200を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添

(5) 103-228333 (P 2003-228333A)

加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、又はラピッドサーマルアニール法 (RTA法) を適用することが出来る。熱アニール法では酸素濃度が1 [ppm] 以下、好ましくは0.1 [ppm] 以下の窒素雰囲気中で400~700 [°C]、代表的には500~600 [°C] で行うものであり、本実施例では500 [°C] で4時間の熱処理を行う。ただし、第3の形状の導電層5037~5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜 (シリコンを主成分とする) を形成した後で活性化を行うことが好ましい。

【0189】さらに、3~100 [%] の水素を含む雰囲気中で、300~450 [°C] で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

【0190】次いで、図11 (A) に示すように、第1の層間絶縁膜5055を酸化窒化シリコン膜から100~200 [nm] の厚さで形成する。その上に有機絶縁材料から成る第2の層間絶縁膜5056を形成した後、第1の層間絶縁膜5055、第2の層間絶縁膜5056、およびゲート絶縁膜5007に対してコンタクトホールを形成し、各配線 (接続配線、信号線を含む) 5057~5062、5064をパターニング形成した後、接続配線5062に接する画素電極5063をパターニング形成する。

【0191】第2の層間絶縁膜5056としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB (ベンゾシクロブテン) 等を使用することが出来る。特に、第2の層間絶縁膜5056は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1~5 [μ m] (さらに好ましくは2~4 [μ m]) とすれば良い。

【0192】コンタクトホールの形成は、ドライエッチング又はウェットエッチングを用い、n型の不純物領域5017、5018、5021、5023やp型の不純物領域5043~5054に達するコンタクトホール、配線5042に達するコンタクトホール、電源線に達するコンタクトホール (図示せず)、およびゲート電極に達するコンタクトホール (図示せず) をそれぞれ形成する。

【0193】また、配線 (接続配線) 5057~5062、5064として、Ti膜を100 [nm]、Tiを含むアルミニウム膜を300 [nm]、Ti膜150 [nm] をスパッタ法で連続形成した3層構造の積層膜を所望の形状に

パターニングしたものを用いる。勿論、他の導電膜を用いても良い。

【0194】また、本実施例では、画素電極5063としてITO膜を110 [nm] の厚さに形成し、パターニングを行った。画素電極5063を接続配線5062と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに2~20 [%] の酸化亜鉛 (ZnO) を混合した透明導電膜を用いても良い。この画素電極5063が発光素子の陽極となる。(図11 (A))

【0195】次に、図11 (B) に示すように、珪素を含む絶縁膜 (本実施例では酸化珪素膜) を500 [nm] の厚さに形成し、画素電極5063に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜5065を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないとき段差に起因する有機化合物層の劣化が顕著な問題となってしまうため、注意が必要である。

【0196】次に、有機化合物層5066および陰極 (MgAg電極) 5067を、真空蒸着法を用いて大気解放しないで連続形成する。なお、有機化合物層5066の膜厚は80~200 [nm] (典型的には100~120 [nm])、陰極5067の厚さは180~300 [nm] (典型的には200~250 [nm]) とすれば良い。

【0197】この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、有機化合物層および陰極を形成する。但し、有機化合物層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的に有機化合物層および陰極を形成するのが好ましい。

【0198】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の有機化合物層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の有機化合物層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光の有機化合物層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

【0199】ここではRGBに対応した3種類の発光素子を形成する方式を用いたが、白色発光の発光素子とカラーフィルタを組み合わせた方式、青色又は青緑発光の発光素子と蛍光体 (蛍光性の色変換層: CCM) とを組み合わせた方式、陰極 (対向電極) に透明電極を利用してRGBに対応した発光素子を重ねる方式などを用いても良い。

(図 6) 103-228333 (P2003-228333A)

【0200】なお、有機化合物層5066としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造を有機化合物層とすれば良い。

【0201】次に、陰極5067を形成する。なお本実施例では陰極5067としてMgAgを用いたが、本発明はこれに限定されない。陰極5067として他の公知の材料を用いても良い。

【0202】最後に、窒化珪素膜でなるパッシベーション膜5068を300[nm]の厚さに形成する。パッシベーション膜5068を形成しておくことで、有機化合物層5066を水分等から保護することができ、発光素子の信頼性をさらに高めることが出来る。

【0203】こうして図11(B)に示すような構造の表示装置が完成する。なお、本実施例における表示装置の作製工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるTa、Wによって信号線を形成し、ドレイン・ソース電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

【0204】ところで、本実施例の表示装置は、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、信号線駆動回路の駆動周波数を10[MHz]以上にすることが可能である。

【0205】まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のnチャネル型TFTとして用いる。

【0206】本実施例の場合、nチャネル型TFTの活性層は、ソース領域、ドレイン領域、ゲート絶縁膜を間に挟んでゲート電極と重なるオーバーラップLDD領域(L_{ov}領域)、ゲート絶縁膜を間に挟んでゲート電極と重ならないオフセットLDD領域(L_{off}領域)およびチャネル形成領域を含む。

【0207】また、CMOS回路のpチャネル型TFTは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、nチャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることにも可能である。

【0208】その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成するnチャネル型TFTは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でLDD領域を形成することが好ましい。また駆動回路において、オフ電流を極

力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路を形成するnチャネル型TFTは、L_{ov}領域を有していることが好ましい。

【0209】なお、実際には図11(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりすると発光素子の信頼性が向上する。

【0210】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。

【0211】また、本実施例で示す工程に従えば、表示装置の作製に必要なフォトリソの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【0212】本実施例は、実施例1と自由に組み合わせることで実施することが可能である。

【0213】(実施例3)本実施例では、表示装置の封止の手法について、図12を用いて説明する。ここで、画素部とその周辺に設けられる駆動回路部とは、絶縁基板上にTFTを用いて形成されている。

【0214】図12(A)は、表示装置の上面図であり、図12(B)は、図12(A)のA-A'における断面図、図12(C)は図12(A)のB-B'における断面図である。

【0215】基板4001上に設けられた画素部4002と、信号線駆動回路4003と、走査線駆動回路4004(第1の走査線駆動回路4004aと第2の走査線駆動回路4004b)とを囲むようにして、シール材4009が設けられている。また画素部4002と、信号線駆動回路4003と、走査線駆動回路4004との上に、シーリング材4008が設けられている。よって画素部4002と、信号線駆動回路4003と、走査線駆動回路4004とは、基板4001とシール材4009とシーリング材4008とによって、充填材4210で密封されている。

【0216】また基板4001上に設けられた画素部4002と、信号線駆動回路4003と、第1の走査線駆動回路4004a、及び第2の信号線駆動回路4004bとは、複数のTFTを有している。図12(B)では代表的に、下地膜4010上に形成された、信号線駆動回路4003に含まれる駆動回路トランジスタ(但し、ここではnチャネル型TFTとpチャネル型TFTを図示する)4201及び画素部4002に含まれる駆動トランジスタ4202を図示した。

(図7) 103-228333 (P2003-228333A)

【0217】本実施例では、駆動回路トランジスタ4201には公知の方法で作製されたpチャネル型TFT又はnチャネル型TFTが用いられ、駆動トランジスタ4202には公知の方法で作製されたpチャネル型TFTが用いられる。また、画素部4002には駆動トランジスタ4202のゲートに接続された保持容量(図示せず)が設けられる。

【0218】駆動回路トランジスタ4201及び駆動トランジスタ4202上には層間絶縁膜(平坦化膜)4301が形成され、その上に駆動トランジスタ4202のドレインと電気的に接続する画素電極(陽極)4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズ又は酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0219】そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上には有機化合物層4204が形成される。有機化合物層4204は公知の有機材料又は無機材料を用いることができる。また、有機材料には低分子系(モノマー系)材料と、高分子系(ポリマー系)材料があるがどちらを用いても良い。

【0220】有機化合物層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機化合物層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層又は電子注入層を自由に組み合わせて積層構造又は単層構造とすれば良い。

【0221】有機化合物層4204の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜又はそれらと他の導電膜との積層膜)からなる陰極4205が形成される。また、陰極4205と有機化合物層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機化合物層4204を窒素又は希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバ方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

【0222】以上のようにして、画素電極(陽極)4203、有機化合物層4204及び陰極4205からなる発光素子4303が形成される。そして発光素子4303を覆うように、絶縁膜4302上に保護膜4303が形成されている。保護膜4303は、発光素子4303に酸素や水分等が入り込むのを防ぐのに効果的である。

【0223】4005aは電源線に接続された引き回し配線であり、駆動トランジスタ4202のソース領域に

電気的に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4301に電気的に接続される。

【0224】シーリング材4008としては、ガラス材、金属材(代表的にはステンレス材)、セラミックス材、プラスチック材(プラスチックフィルムも含む)を用いることができる。プラスチック材としては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルム又はアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0225】但し、発光素子4303からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルム又はアクリルフィルムのような透明物質を用いる。

【0226】また、充填材4103としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂又は熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)又はEVA(エチレンビニルアセテート)を用いることができる。本実施例では充填材として窒素を用いた。

【0227】また充填材4103を吸湿性物質(好ましくは酸化バリウム)もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質又は酸素を吸着しうる物質4207を配置する。そして、吸湿性物質又は酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質又は酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質又は酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質又は酸素を吸着しうる物質4207を設けることで、発光素子4303の劣化を抑制できる。

【0228】図12(C)に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

【0229】また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラー4300aによって電気的に接続される。

【0230】本実施例は、実施例1～実施例2と自由に組み合わせて実施することが可能である。

(18) 103-228333 (P2003-228333A)

【0231】(実施例4)本実施例では、本発明の表示装置を画素の断面図を、図17を用いて説明する。なお、本実施例では、表示装置の画素を構成する素子として、発光素子及び発光素子の画素電極と接続されたトランジスタのみを示す。

【0232】図17(A)において、画素基板1600上に、トランジスタ(駆動トランジスタ)1601が形成されている。

【0233】駆動トランジスタ1601は、ゲート電極1603と、絶縁膜1605と、チャネル形成領域1604bとを有する。駆動トランジスタ1601のソース領域とドレイン領域は、一方は1604a、もう一方は1604cである。チャネル形成領域1604bと、それぞれソース領域又はドレイン領域に対応する1604aと、1604cとは、薄膜半導体層によって形成されている。駆動トランジスタ1601上には、層間膜1606が形成されている。

【0234】なお、駆動トランジスタ1601としては、図に示した構成に限定されず、公知の構成のTFTを自由に用いることができる。例えば、駆動トランジスタ1601は、シングルゲート型TFTとしたが、マルチゲート型TFTでもかまわない。また、駆動トランジスタ1601は、トップゲート型TFTとしたが、ボトムゲート型TFTであってもよい。更に、チャネル領域の上下に、ゲート絶縁膜と介して配置された2つのゲート電極を有する、デュアルゲート型TFTであってもよい。

【0235】次に、反射性を有する材料を、所望の形状にパターニングして、画素電極1608を形成する。ここで、画素電極1608は、陽極である。層間膜1606に、駆動トランジスタのソース領域及びドレイン領域、1604a、1604cに達するコンタクトホールを形成し、Ti、Tiを含むAlとTiとでなる積層膜を成膜し、所望の形状にパターニングして、配線1607及び配線1609を形成する。配線1609と、画素電極1608とは、接触させることによって、導通をとっている。

【0236】続いて、感光性アクリル等の有機樹脂材料等でなる絶縁膜を形成し、発光素子1614の画素電極1608に対応する位置に開口部を形成して絶縁膜1610を形成する。

【0237】このとき絶縁膜の開口部の下端部は、画素電極1608の上面に接し、画素電極と前記下端部との接線の上方の曲率中心(O_1)及び第1の曲率半径(R_1)により決まる曲面状の側面を有する。そして、絶縁膜の開口部の上端部は、上端部と絶縁膜上面との接線の下方の曲率中心(O_2)及び第2の曲率半径(R_2)により決まる曲面状の側面を有する。なおプロセス的に、酸、塩基等の水溶液を用いたエッチングにしる、反応性ガスを用いたエッチングにしても、実工程で制御可

能な曲率半径として、第1の曲率半径(R_1)を0.2 μm 以上3.0 μm 以下とすることが好ましい。

【0238】絶縁膜の開口部の下端部は連続的に変化するようななだらかな曲面形状を有するため、開口部に形成される発光層のカバレッジが良くなり、下端部における発光層の断線を防止することができる。これにより、発光層の断線による画素電極と陰極の短絡が低減する。また、発光層が部分的に薄くなることを防止でき、発光層における局所的な電界の集中を防ぐことができる。

【0239】次に、有機化合物層1611を形成した後、発光素子1614の対向電極(陰極)1612を、2[nm]以下の厚さのセシウム(Cs)膜及び10[nm]以下の厚さの銀(Ag)膜を順に成膜した積層膜によって形成する。発光素子1614の対向電極1612の膜厚を極めて薄くすることにより、発光層1611で発生した光は対向電極1612を透過して、画素基板1600とは逆の方向に出射される。次いで、発光素子1614の保護を目的として、保護膜1613を成膜する。

【0240】このように、画素基板1600とは逆の方向に光を放射する表示装置の場合、発光素子1614に対して、画素基板1600側に形成された、駆動トランジスタ1601をはじめとする素子を介して、発光素子1614の発光を視認する必要が無いため、開口率を大きくすることが可能である。

【0241】なお、画素電極1608の材料として、TiN等を用い、画素電極を陰極とし、対向電極1612をITO等を代表とする透明導電膜を用いて形成し陽極とする。こうして、陽極側から画素基板1600とは逆の方向に、有機化合物層1611が発光した光を放射する構成としてもよい。

【0242】図17(B)は、図17(A)と異なる構成の発光素子を有する画素の構成を示す断面図である。

図17(B)において、図17(A)と同じ部分は同じ符号を用いて説明し、駆動トランジスタ1601を形成し、層間膜1606を形成するまでは、図17(A)で示した構成と同様に作製することができる。

【0243】次に、層間膜1606に、駆動トランジスタ1601のソース領域及びドレイン領域、1604a、1604cに達するコンタクトホールを形成する。その後、Ti又はTiを含むAlとTiとでなる積層膜を成膜し、続いて、ITO等を代表とする透明導電膜を成膜する。Ti又はTiを含むAlとTiとでなる積層膜と、ITO等を代表とする透明導電膜とを、所望の形状にパターニングして、1617及び1618によって構成される配線1621と、配線1619と、画素電極1620を形成する。画素電極1620が発光素子1624の陽極に相当する。

【0244】続いて、感光性アクリル等の有機樹脂材料等でなる絶縁膜を形成し、発光素子1624の画素電極1620に対応する位置に開口部を形成して絶縁膜16

(図 9) 103-228333 (P2003-228333A)

10を形成する。ここで、開口部の側壁の段差に起因する有機化合物層の劣化、段切れ等の問題を回避するため、開口部は、図17(A)に示すように十分になだらかなテーパー形状の側壁を有するように形成する。

【0245】次に、有機化合物層1611を形成した後、発光素子1624の対向電極(陰極)1612を、2[nm]以下の厚さのセシウム(Cs)膜及び10[nm]以下の厚さの銀(Ag)膜を順に成膜した積層膜によって形成する。発光素子1624の対向電極1612の膜厚を極めて薄くすることにより、発光層1611で発生した光は対向電極1612を透過して、画素基板1600とは逆の方向に出射される。次いで、発光素子1624の保護を目的として、保護膜1613を成膜する。

【0246】このように、画素基板1600とは逆の方向に光を放射する表示装置の場合、発光素子1624に対して、画素基板1600側に形成された、駆動トランジスタ1601をはじめとする素子を介して、発光素子1624の発光を視認する必要が無いため、開口率を大きくすることが可能である。

【0247】図17(B)の構成では、図17(A)の構成と比較して、駆動トランジスタのソース領域又はドレイン領域と接続される配線1619と、画素電極1620を、共通のフォトマスクを用いてパターン形成することができるため、作製工程において必要となるフォトマスクの削減及び工程の簡略化が可能となる。

【0248】本実施例は、実施例1～実施例3と自由に組み合わせて実施することが可能である。

【0249】(実施例5)本実施例では、図17に示した構成とは異なる構成の本発明の表示装置の画素の断面図を、図18を用いて説明する。なお、図17と同じ部分は同じ符号を用いて示す。

【0250】本実施例では、表示装置の画素を構成する素子として、発光素子及び発光素子の画素電極と接続されたトランジスタのみを示す。

【0251】図18において、画素基板1600上に、トランジスタ(駆動トランジスタ)1601が形成されている。駆動トランジスタ1601は、ゲート電極1603と、絶縁膜1605と、チャネル形成領域1604bとを有する。駆動トランジスタ1601のソース領域とドレイン領域は、一方は1604a、もう一方は1604cである。チャネル形成領域1604bと、それぞれソース領域又はドレイン領域に対応する1604aと、1604cとは、薄膜半導体層によって形成されている。駆動トランジスタ1601上には、第1の層間膜1606が形成されている。

【0252】なお、駆動トランジスタ1601としては、図に示した構成に限定されず、公知の構成のTFTを自由に用いることができる。例えば、図18において駆動トランジスタ1601は、シングルゲート型TFTとしたが、マルチゲート型TFTでもかまわない。ま

た、図18において駆動トランジスタ1601は、トップゲート型TFTとしたが、ボトムゲート型TFTであってもよい。更に、チャネル領域の上下に、ゲート絶縁膜と介して配置された2つのゲート電極を有する、デュアルゲート型TFTであっても良い。

【0253】第1の層間膜1606に、駆動トランジスタ1601のソース領域及びドレイン領域、1604a、1604cに達するコンタクトホールを形成し、配線層を形成し、所望の形状にパターンニングして、配線1667a及び1667bを形成する。そして配線1667a及び1667b上に、第2の層間膜1666を形成する。

【0254】次に、反射性を有する材料を、所望の形状にパターンニングして、画素電極1608を形成する。ここで、画素電極1608は、陽極である。第2の層間膜1666に、配線1667bに達するコンタクトホールを形成し、Ti、Tiを含むAlおよびTiでなる積層膜を成膜し、所望の形状にパターンニングして、配線1669を形成する。配線1669と画素電極1608とは、接触させることによって、導通をとっている。

【0255】続いて、感光性アクリル等の有機樹脂材料等でなる絶縁膜を形成し、発光素子1614の画素電極1608に対応する位置に開口部を形成して絶縁膜1610を形成する。ここで、開口部の側壁の段差に起因する有機化合物層の劣化、段切れ等の問題を回避するため、開口部は、図17(A)に示すように、十分になだらかなテーパー形状の側壁を有するように形成する。

【0256】次に、有機化合物層1611を形成した後、発光素子1614の対向電極(陰極)1612を、2[nm]以下の厚さのセシウム(Cs)膜及び10[nm]以下の厚さの銀(Ag)膜を順に成膜した積層膜によって形成する。発光素子1614の対向電極1612の膜厚を極めて薄くすることにより、発光層1611で発生した光は対向電極1612を透過して、画素基板1600とは逆の方向に出射される。次いで、発光素子1614の保護を目的として、保護膜1613を成膜する。

【0257】このように、画素基板1600とは逆の方向に光を放射する表示装置の場合、発光素子1614に対して、画素基板1600側に形成された、駆動トランジスタ1601をはじめとする素子を介して、発光素子1614の発光を視認する必要が無いため、開口率を大きくすることが可能である。

【0258】なお、画素電極1608の材料として、TiN等を用い、画素電極を陰極とし、対向電極1612をITO等を代表とする透明導電膜を用いて形成し、陽極とする。こうして、陽極側から画素基板1600とは逆の方向に、発光層1611が発光した光を放射する構成としてもよい。

【0259】なお、本実施例において図18で示した構成では、実施例4において図17で示した構成と比較し

(20) 103-228333 (P2003-228333A)

て、配線層を増やし、配線1667aを形成している。そのため、図17の構造と比較して、図18の構造では、配線1667aの上方にも画素電極を形成することができる。こうして、開口率を大きくすることができる。

【0260】本実施例は、実施例1～実施例3と自由に組み合わせて実施することが可能である。

【0261】(実施例6) 本実施例では、本発明の表示装置をカラー表示する例を、図19を用いて説明する。図19には、表示装置の画素の断面図を示す。

【0262】本実施例では、OLED表示装置の3画素分のみを代表で示し、それぞれの画素を構成する素子として、発光素子及び発光素子の画素電極と接続されたトランジスタのみを示す。

【0263】図19において、画素基板1900上に、トランジスタ(駆動トランジスタ)1901_R、1901_G、1901_Bが形成されている。駆動トランジスタ1901_R、1901_G、1901_B上には、第1の層間膜1910が形成されている。

【0264】なお、駆動トランジスタ1901_R、1901_G、1901_Bとしては、図に示した構成に限定されず、公知の構成のTFTを自由に用いることができる。例えば、図19において駆動トランジスタ1901_R、1901_G、1901_Bは、シングルゲート型TFTとしたが、マルチゲート型TFTでもかまわない。また、図19において駆動トランジスタ1901_R、1901_G、1901_Bは、トップゲート型TFTとしたが、ボトムゲート型TFTであってもよい。更に、チャネル領域の上下に、ゲート絶縁膜と介して配置された2つのゲート電極を有する、デュアルゲート型TFTであっても良い。

【0265】第1の層間膜1910に、駆動トランジスタ1901_R、1901_G、1901_Bのソース領域又はドレイン領域に達するコンタクトホールを形成し、配線層を形成し、所望の形状にパターンニングして、配線1919_R、1919_G、1919_Bを形成する。そして配線1919_R、1919_G、1919_B上に、第2の層間膜1911を形成する。

【0266】次に、第2の層間膜1911に、配線1919_R、1919_G、1919_Bに達するコンタクトホールを形成し、画素電極1912_R、1912_G、1912_Bを形成する。ここで、画素電極1912_R、1912_G、1912_Bは、陽極である。

【0267】なお、第2の層間膜1911を設けない構成であっても良い。つまり、配線1919_R、1919_G、1919_Bと同じ層に、画素電極1912_R、1912_G、1912_Bを形成する構成であってもよい。

【0268】次に、赤色発光の有機化合物層1914_

Rを形成する。次に、緑色発光の有機化合物層1914_Gを形成する。次に、青色発光の有機化合物層1914_Bを形成する。その後、発光素子1614の対向電極1915を形成する。

【0269】こうして、画素電極1912_Rと、赤色発光の有機化合物層1914_Rと、対向電極1915とによって構成される赤色発光する発光素子が形成される。画素電極1912_Gと、緑色発光の有機化合物層1914_Gと、対向電極1915とによって構成される緑色発光する発光素子が形成される。画素電極1912_Bと、青色発光の有機化合物層1914_Bと、対向電極1915とによって構成される青色発光する発光素子が形成される。

【0270】本実施例のように、有機化合物層1914_R、1914_G、1914_Bを形成する(塗り分ける)際に、各有機化合物層1914_R、1914_G、1914_Bをその境界において重ねる構成とする。

【0271】上記構成によって、有機化合物層の塗り分けのマージンを縮小し、画素における発光領域の面積を大きくとることが可能である。

【0272】本実施例は、実施例1～実施例5と自由に組み合わせて実施することが可能である。

【0273】(実施例7) 本実施例では、本発明の電子機器の例について、図13を用いて説明する。

【0274】本発明の電子機器としては、携帯情報端末、パーソナルコンピュータ、画像再生装置、テレビ、ヘッドマウントディスプレイ、ビデオカメラ等が挙げられる。

【0275】図13(A)に本発明の携帯情報端末の模式図を示す。携帯情報端末は、本体4601a、操作スイッチ4601b、電源スイッチ4601c、アンテナ4601d、表示部4601e、外部入力ポート4601fによって構成されている。実施の形態及び実施例1～実施例6で示した構成の表示装置を、表示部4601eに用いる。

【0276】図13(B)に本発明のパーソナルコンピュータの模式図を示す。パーソナルコンピュータは、本体4602a、筐体4602b、表示部4602c、操作スイッチ4602d、電源スイッチ4602e、外部入力ポート4602fによって構成されている。実施の形態及び実施例1～実施例6で示した構成の表示装置を、表示部4602cに用いる。

【0277】図13(C)に本発明の画像再生装置の模式図を示す。画像再生装置は、本体4603a、筐体4603b、記録媒体4603c、表示部4603d、音声出力部4603e、操作スイッチ4603fによって構成されている。実施の形態及び実施例1～実施例6で示した構成の表示装置を、表示部4603dに用いる。

【0278】図13(D)に本発明のテレビの模式図を

(21) 103-228333 (P2003-228333A)

示す。テレビは、本体4604a、筐体4604b、表示部4604c、操作スイッチ4604dによって構成されている。実施の形態及び実施例1～実施例6で示した構成の表示装置を、表示部4604cに用いる。

【0279】図13(E)に本発明のヘッドマウントディスプレイの模式図を示す。ヘッドマウントディスプレイは、本体4605a、モニター部4605b、頭部固定バンド4605c、表示部4605d、光学系4605eによって構成されている。実施の形態及び実施例1～実施例6で示した構成の表示装置を、表示部4605dに用いる。

【0280】図13(F)に本発明のビデオカメラの模式図を示す。ビデオカメラは、本体4606a、筐体4606b、接続部4606c、受像部4606d、接眼部4606e、バッテリー4606f、音声入力部4606g、表示部4606hによって構成されている。実施の形態及び実施例1～実施例6で示した構成の表示装置を、表示部4606hに用いる。

【0281】本発明は、上記電子機器に限定されず、実施の形態及び実施例1～実施例6で示した構成の表示装置を用いた、様々な電子機器とすることができる。

【0282】(実施例8)本実施例では、実施の形態1で示した本発明の信号線駆動回路(制御電流出力回路)の実際の構成について、図20を用いて説明する。

【0283】図20は、信号線駆動回路の一部の上面図であり、複数の電流源(図1における準制御電流出力回路1102に相当)と、電流源に接続される切り換え回路(図1における1101に相当)とが記載される。なお図1では電流源を構成するトランジスタ(図1の1112に相当)が4つで一つの組をなしているが、図20ではフルカラー表示を行うため、各RGB分配置された12つのトランジスタが一つの組をなしている(但し、図面の制約上、図20には7つのトランジスタしか記載していない)。

【0284】そして、切り換え回路には、図2に示したような複数のアナログスイッチが配線を用いて接続されている。この切り換え回路、すなわちアナログスイッチや配線の接続により、電流源と信号線(図20には記載されない)との電気的な接続が切り換えられる。

【0285】また図21(A)には、nチャネル型薄膜トランジスタとpチャネル型薄膜トランジスタとを有するアナログスイッチを示す。更に図21(B)には電流源のnチャネル型薄膜トランジスタを示す。なお、電流源の薄膜トランジスタはそのばらつきを低減するため、TFTのチャネル形成領域のチャネル長(L)及びチャネル幅(W)を大きくとっている(特にチャネル長を1

00 μ mとしている)。

【0286】以上のようなpチャネル型薄膜トランジスタ及びnチャネル型薄膜トランジスタは実施例2に記載の作製方法を用いて形成すればよい。

【0287】

【発明の効果】本発明は、上記構成によって、多結晶TFTを用いて作製し、且つ出力する制御電流のばらつきを抑えた制御電流出力回路を提供することができる。

【0288】また、前記制御電流出力回路を用いた表示装置では、画素の発光素子の発光輝度のばらつきを、視覚的に低減することが可能である。こうして、小型化、低消費電量化が可能な表示装置及びそれを用いた電子機器を提供することができる。

【0289】

【図面の簡単な説明】

【図1】 本発明の制御電流出力回路の構成を示す図。

【図2】 本発明の制御電流出力回路の構成を示す図。

【図3】 本発明の制御電流出力回路の駆動方法を示すタイミングチャートを示す図。

【図4】 本発明の制御電流出力回路の構成を示す模式図。

【図5】 本発明の制御電流出力回路の構成を示す図。

【図6】 本発明の制御電流出力回路の構成を示す図。

【図7】 表示装置の画素の構成を示す図。

【図8】 従来の表示装置の構成を示すブロック図。

【図9】 本発明の表示装置の作製工程を示す図。

【図10】 本発明の表示装置の作製工程を示す図。

【図11】 本発明の表示装置の作製工程を示す図。

【図12】 本発明の表示装置の構造を示す上面図及び断面図。

【図13】 本発明の電子機器を示す図。

【図14】 本発明の制御電流出力回路の構成を示す図。

【図15】 本発明の制御電流出力回路の構成を示す図。

【図16】 本発明の制御電流出力回路の構成を示す図。

【図17】 本発明の表示装置の構造を示す断面図。

【図18】 本発明の表示装置の構造を示す断面図。

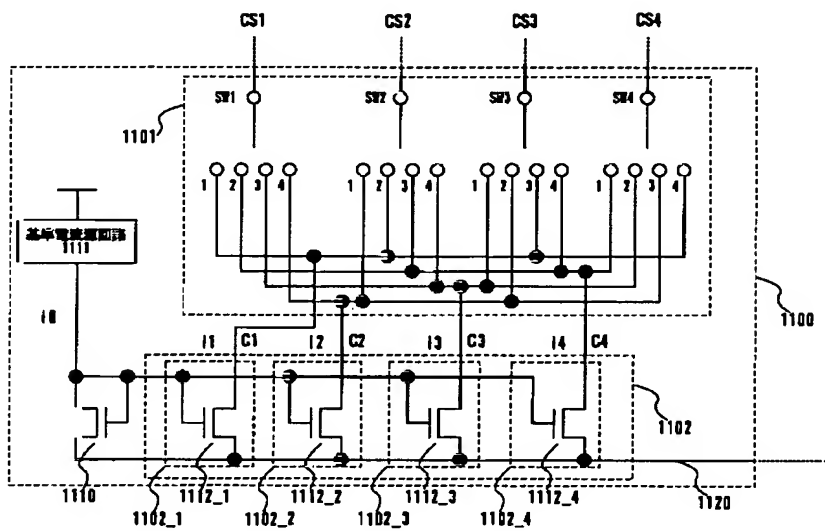
【図19】 本発明の表示装置の構造を示す断面図。

【図20】 本発明の表示装置の構造を示す上面図。

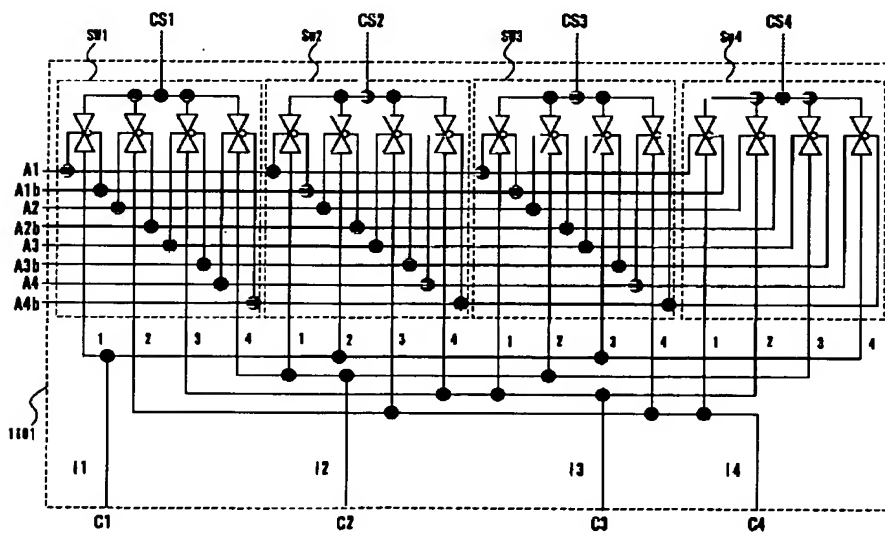
【図21】 本発明の表示装置の構造を示す上面図。

(22) 103-228333 (P2003-228333A)

【図1】

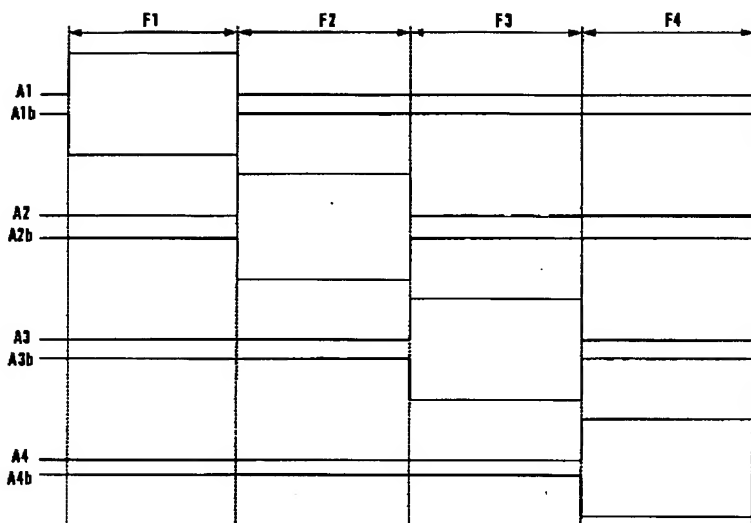


【図2】

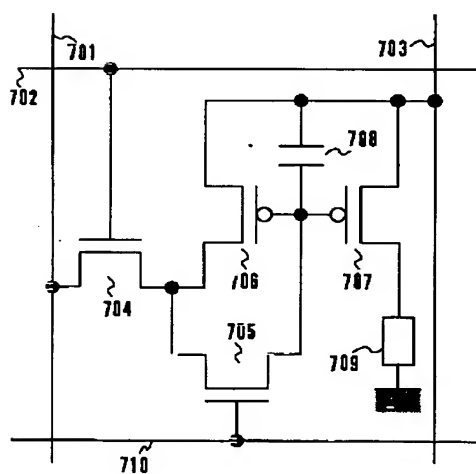


(23) 103-228333 (P2003-228333A)

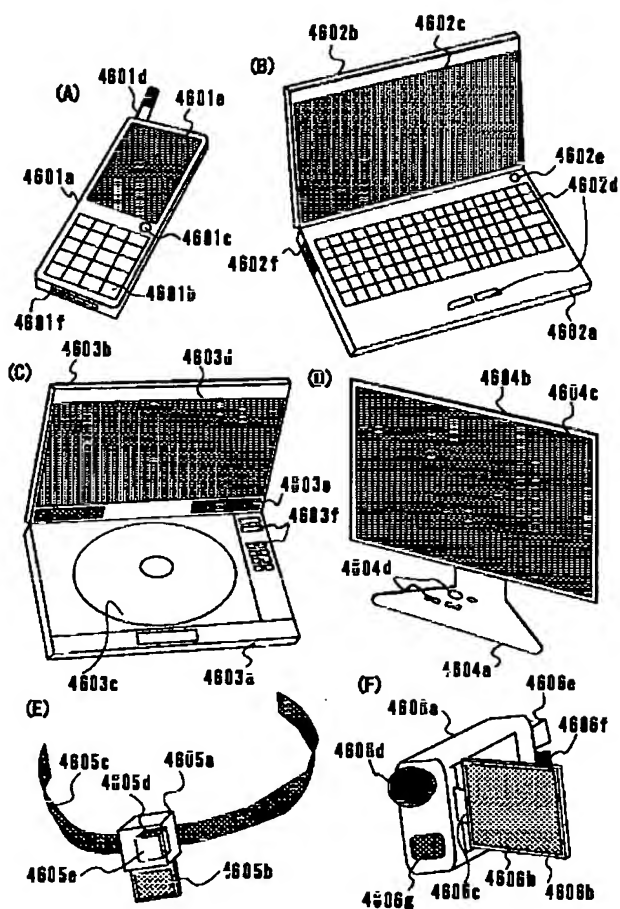
【図3】



【図7】

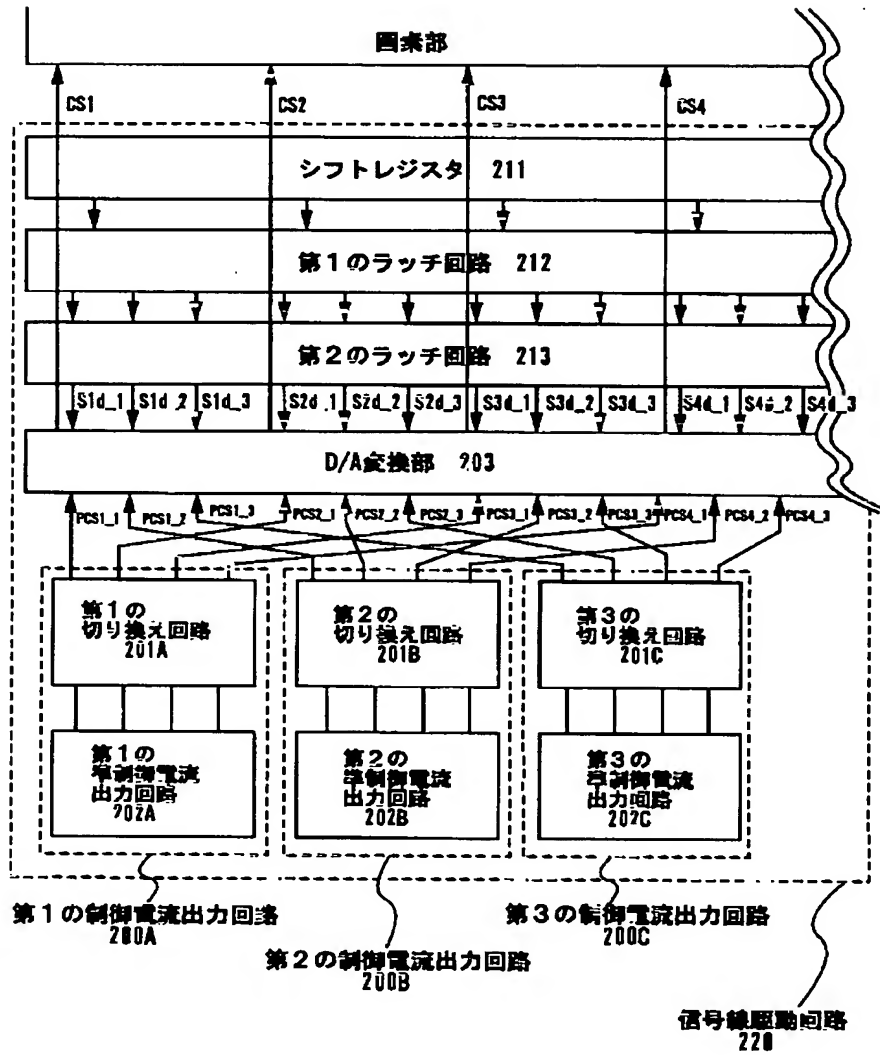


【図13】

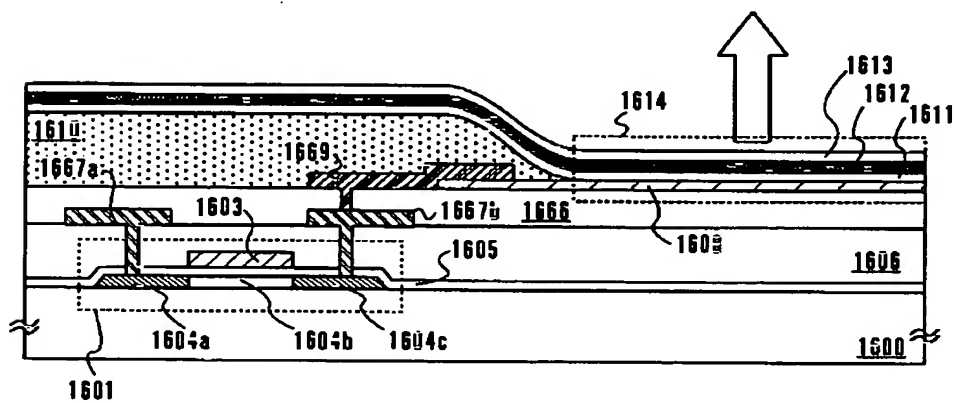


(24) 103-228333 (P2003-228333A)

【図4】

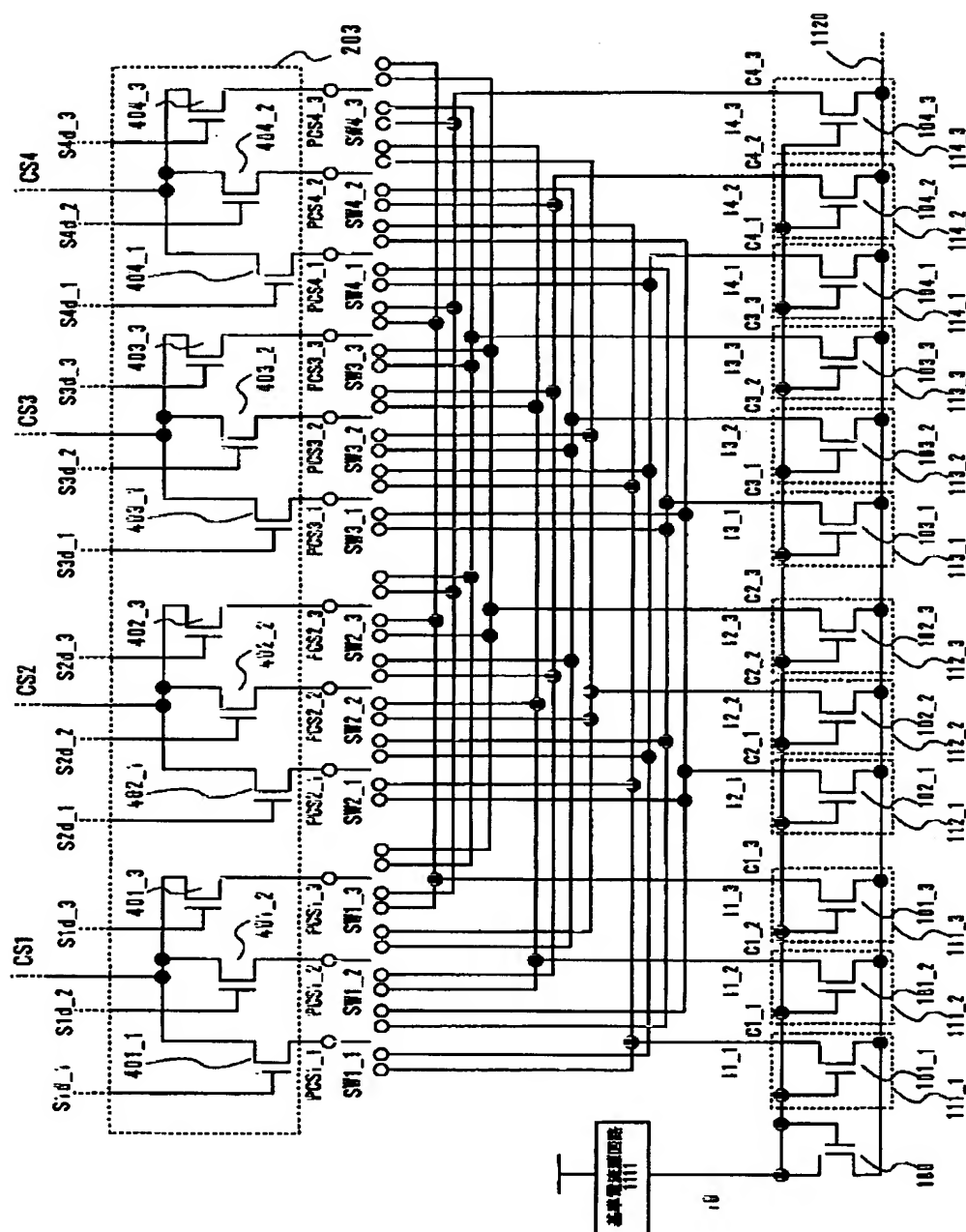


【図18】



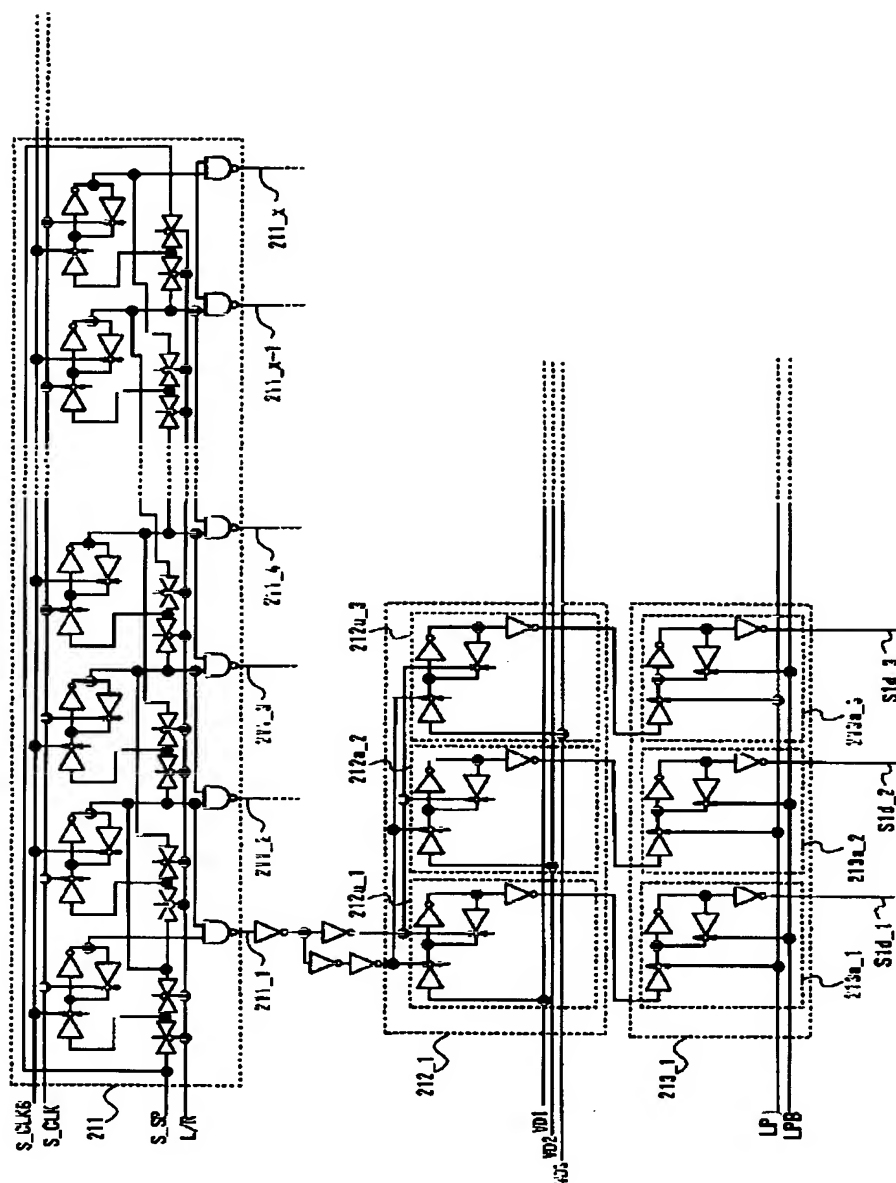
(25) 103-228333 (P2003-228333A)

【図5】



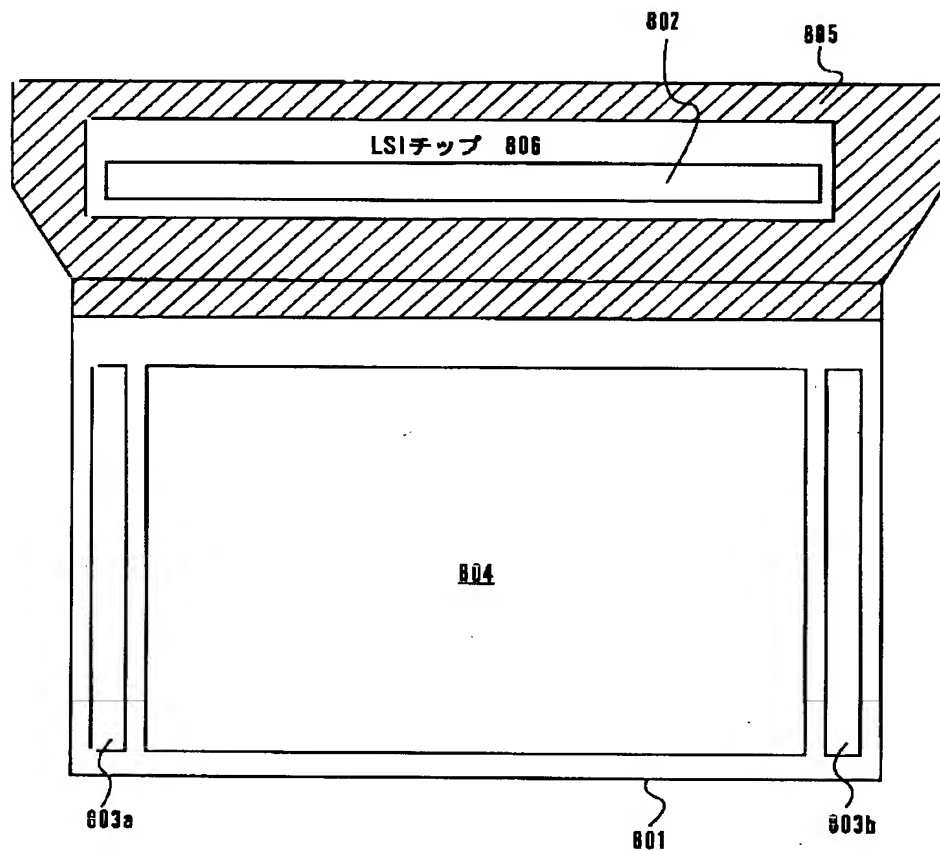
(26) 103-228333 (P2003-228333A)

【図6】



(27) 103-228333 (P2003-228333A)

【図8】



【图 19】

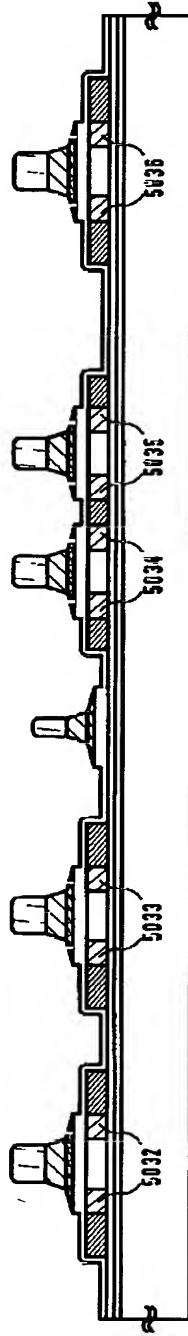
A cross-sectional view of a multi-layered structure. The structure consists of several layers and components labeled with reference numerals. At the bottom is a base layer labeled 5001. Above it is a layer labeled 5003. A component labeled 5007 is positioned on top of layer 5003. Above 5007 is a layer labeled 5008. A component labeled 5009 is positioned on top of layer 5008. Above 5009 is a layer labeled 5004. A component labeled 5005 is positioned on top of layer 5004. Above 5005 is a layer labeled 5002. A component labeled 5006 is positioned on top of layer 5002. Above 5006 is a layer labeled 5002b. A component labeled 5002a is positioned on top of layer 5002b. The layers 5003, 5004, 5005, and 5006 are shown with hatching, indicating they are made of a different material or have a specific texture. The components 5007, 5008, 5009, 5002b, and 5002a are shown without hatching, indicating they are made of a different material.

Figure 1 consists of two cross-sectional views, (C) and (D), of a semiconductor device. View (C) shows a substrate with a top layer 1915 and a series of layers below it: 1914_R, 1912_R, 1914_G, 1912_G, 1914_B, and 1912_B. There are several openings in the top layer 1915, each containing a structure labeled 5026, 5027, 5028, and 5030. A layer 5031 is also shown. View (D) shows the same structure after edge processing. The top layer is now 1900, and the underlying layers are 1901_R, 1901_G, and 1901_B. The openings are filled with a material labeled 1919. The layers 1914_R, 1912_R, 1914_G, 1912_G, 1914_B, and 1912_B are still present but partially covered by the 1919 material.

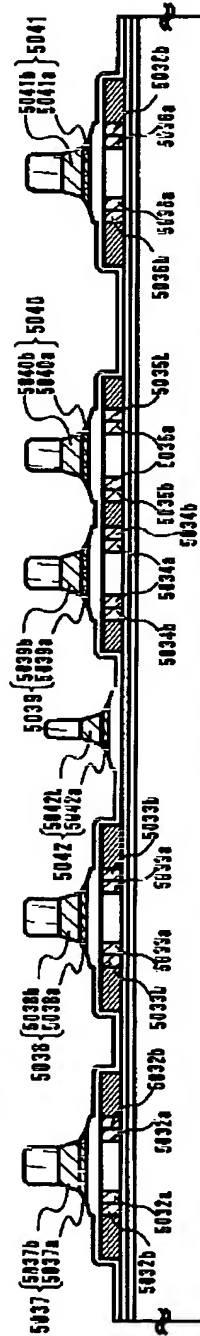
(29) 103-228333 (P2003-228333A)

【図10】

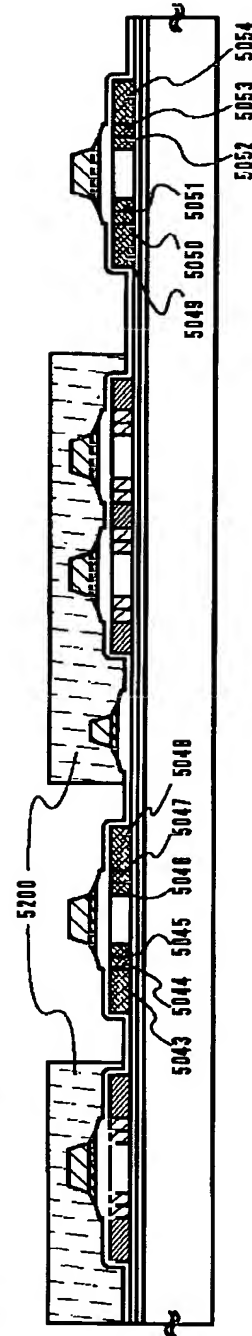
(A) 第2のドーピング処理



(B) 第3のエッチング処理



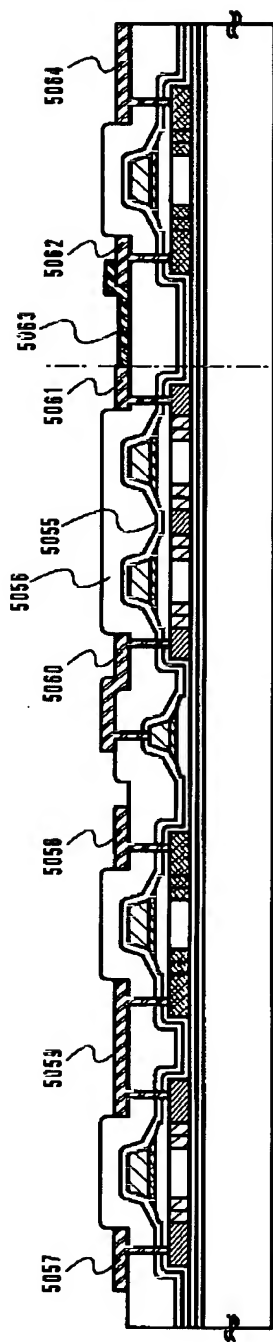
(C) 第3のドーピング処理



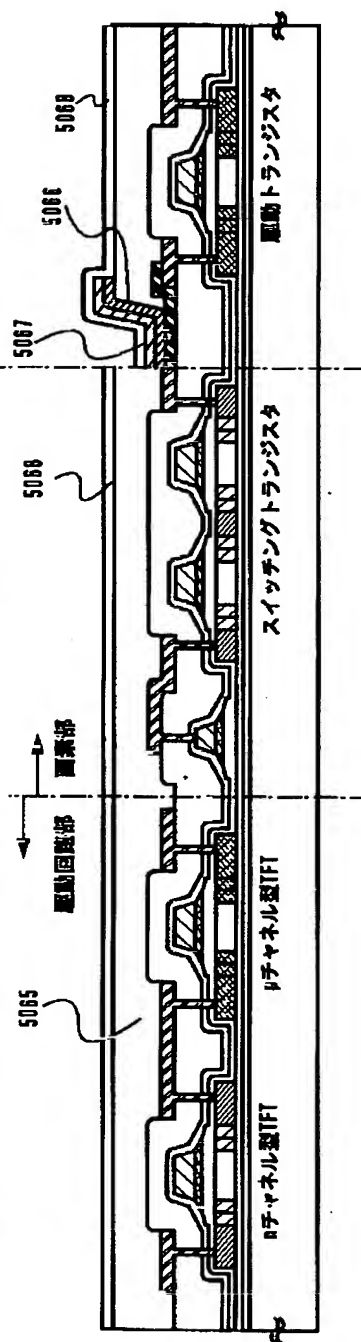
(50) 103-228333 (P2003-228333A)

【図11】

(A) 第1, 第2の層間絶縁膜, 配線, 回路電極形成

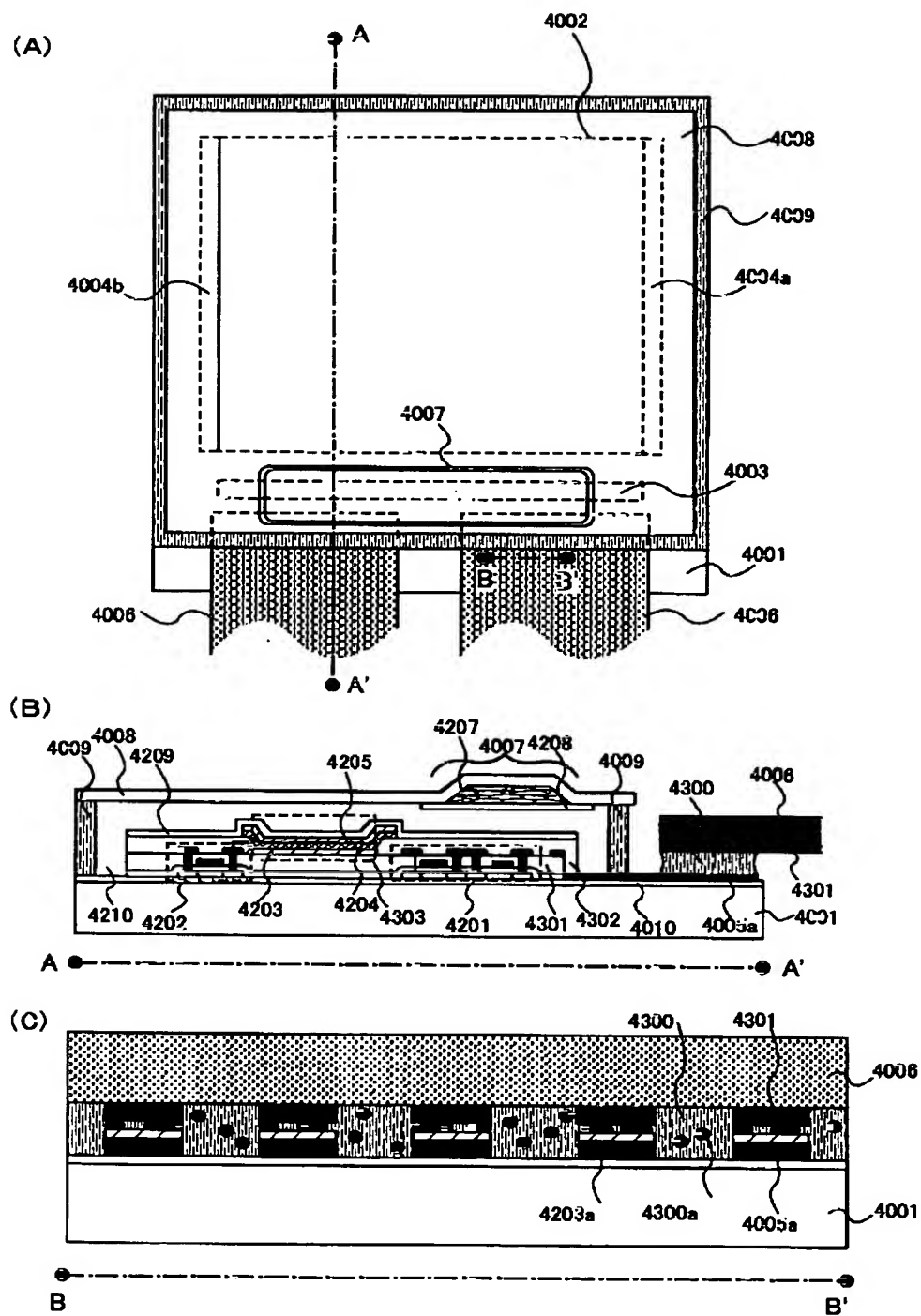


(B) 第3の層間絶縁膜, 有機化合物層, パッシベーション膜形成



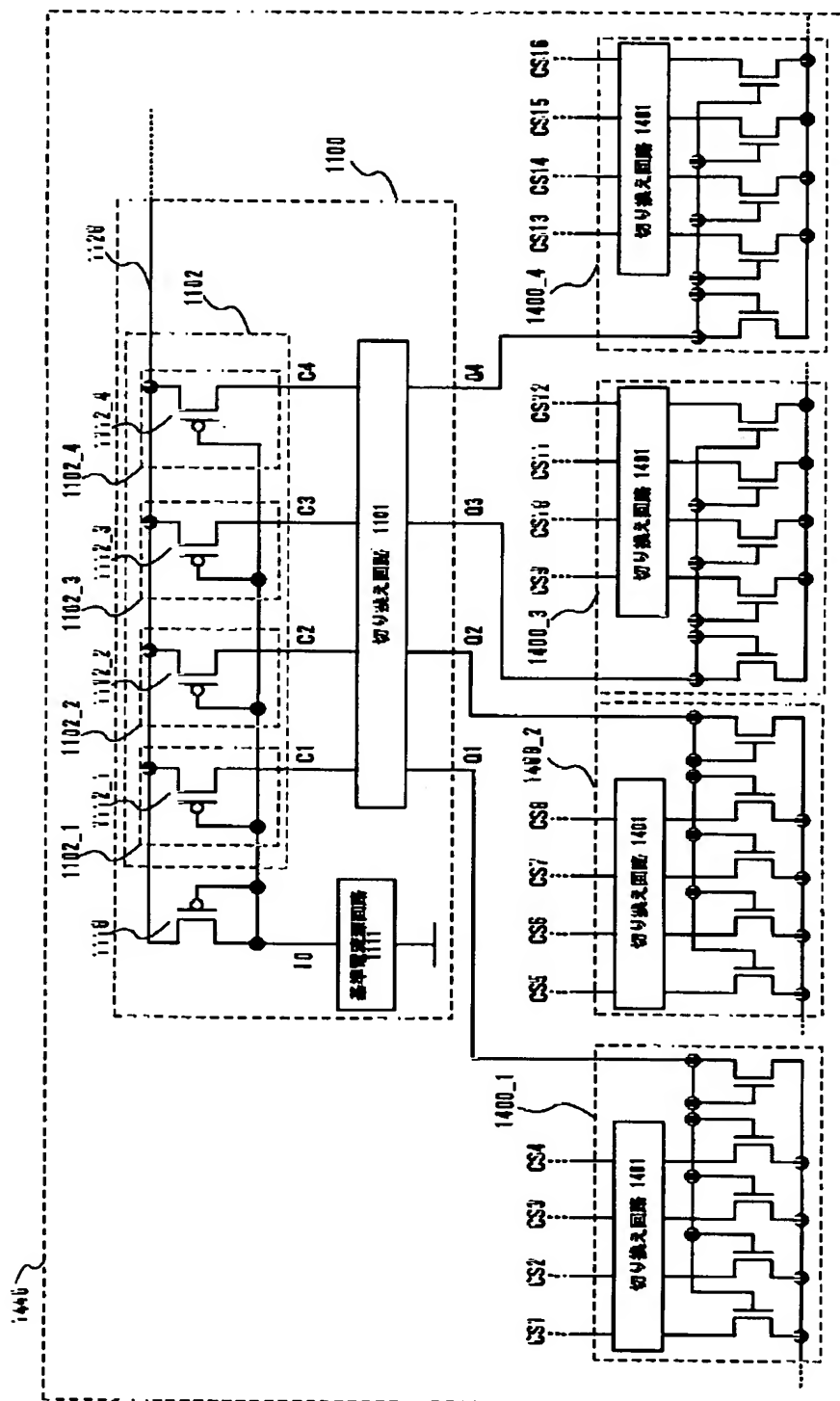
(31) 103-228333 (P2003-228333A)

【図12】



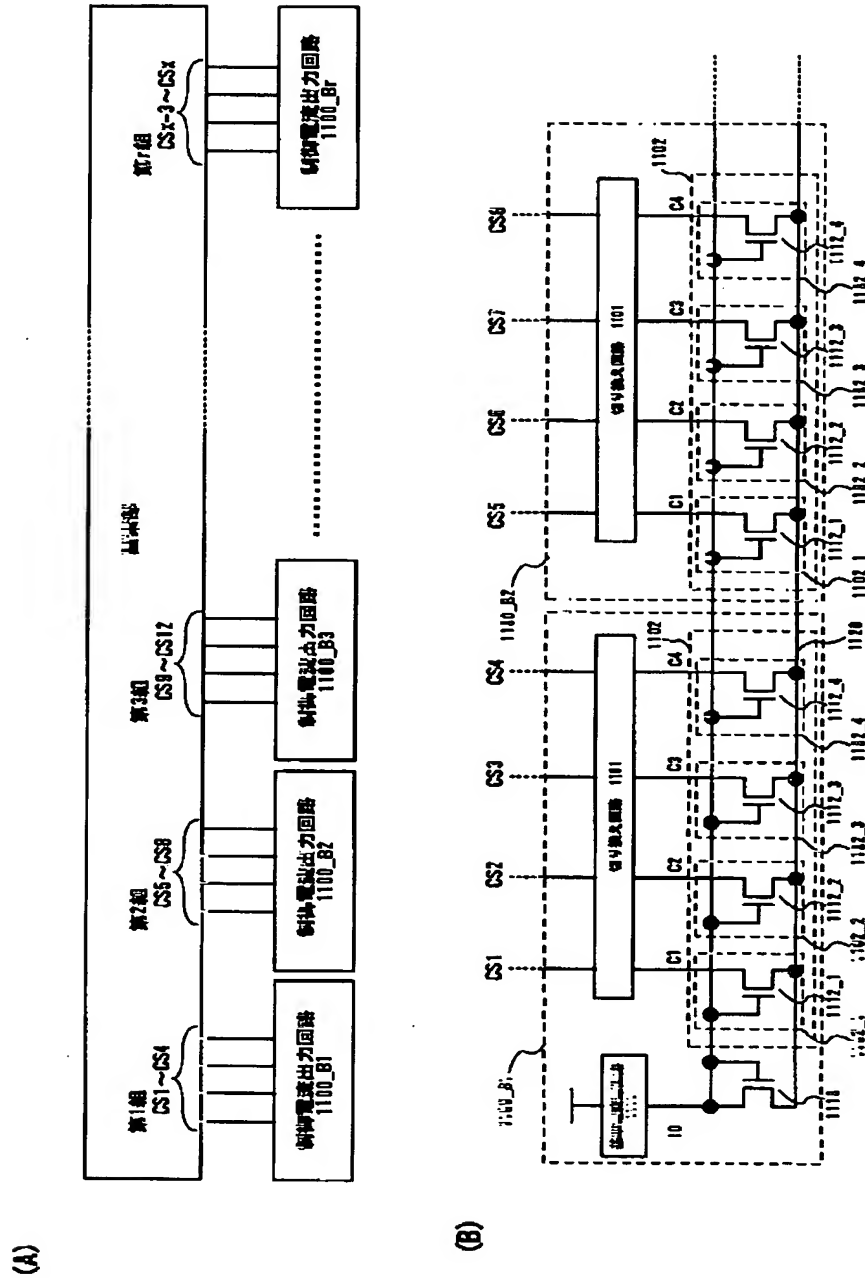
(特) 2003-228333 (P2003-228333A)

【図14】

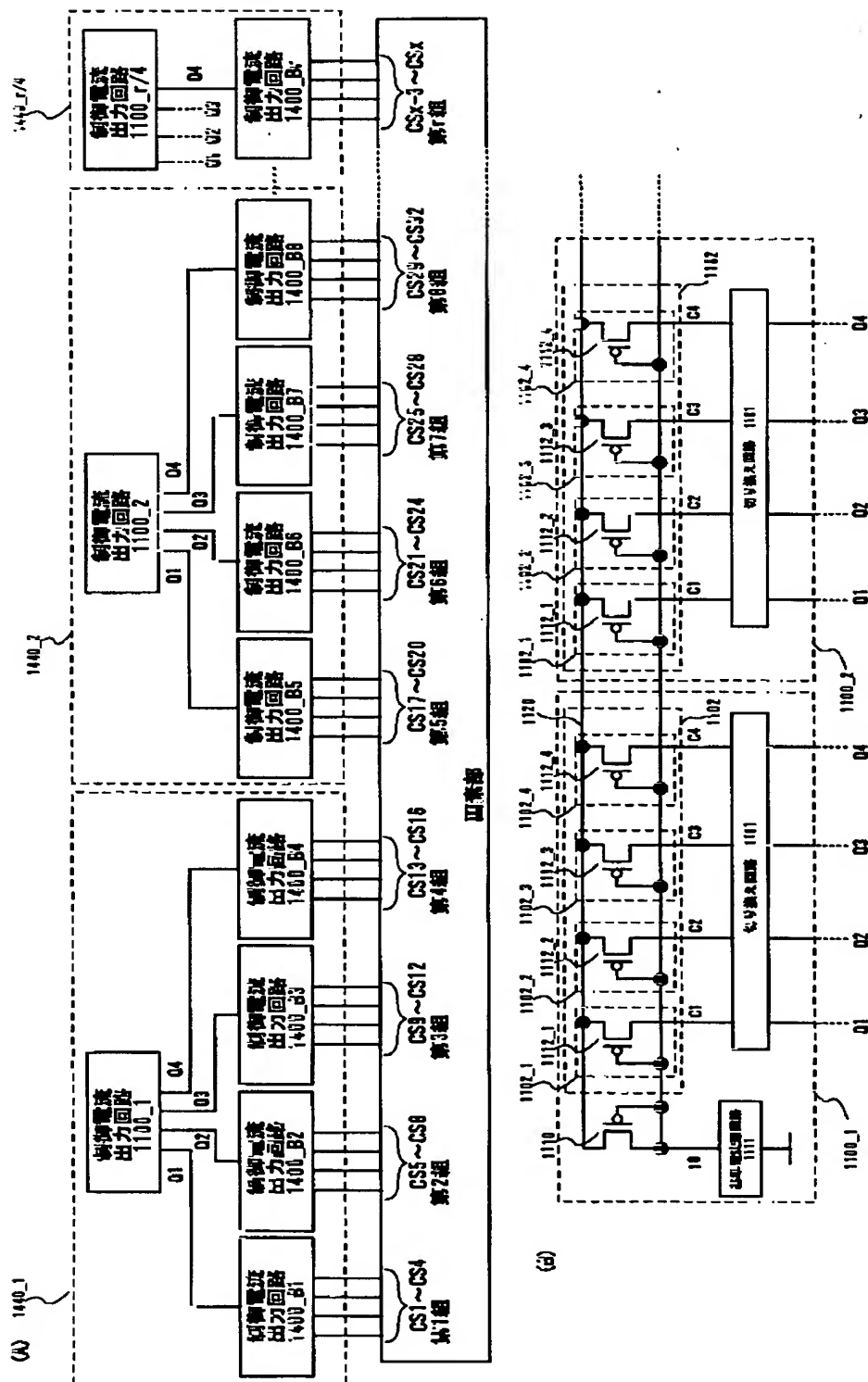


(33) 103-228333 (P2003-228333A)

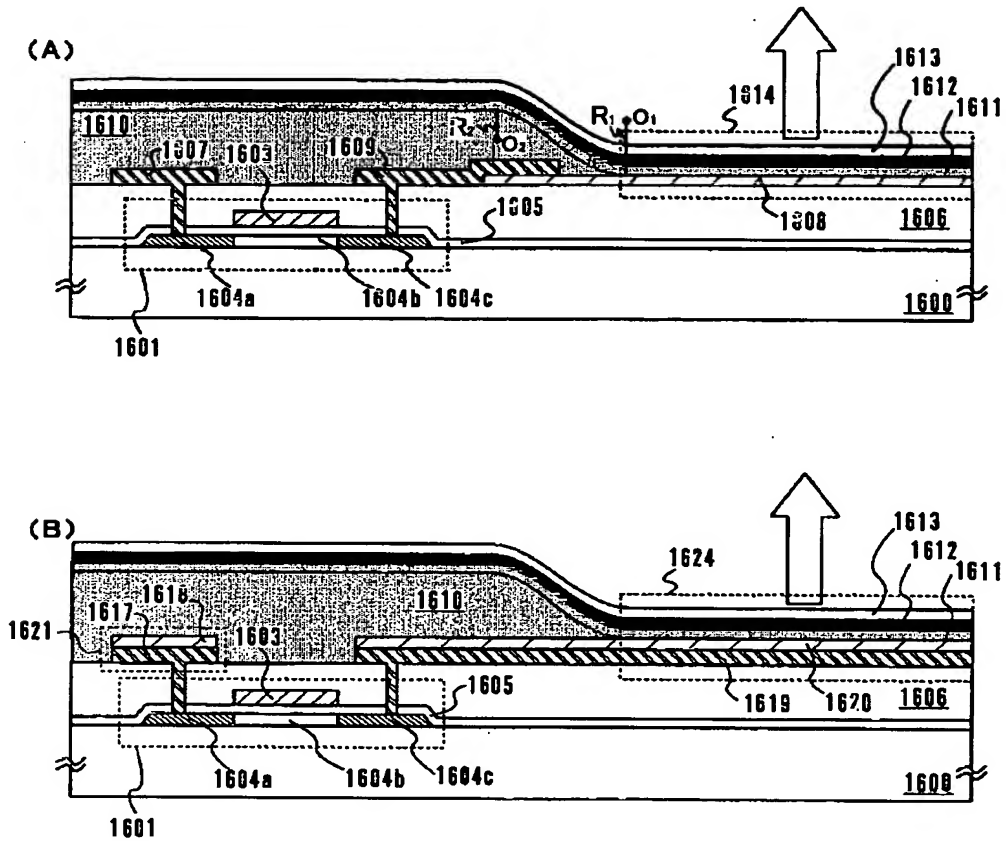
【図15】



【図16】

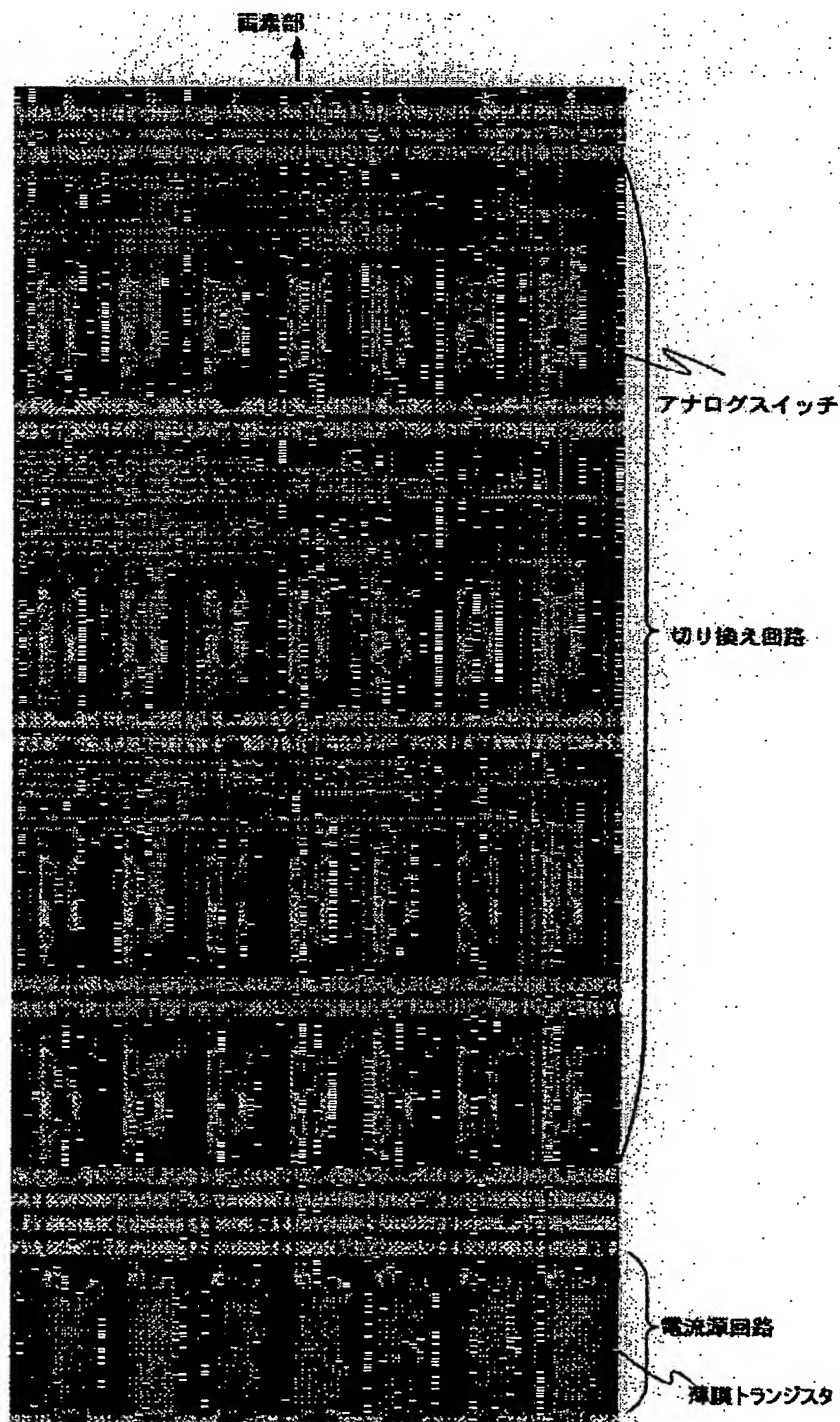


【図17】



(36) 103-228333 (P2003-228333A)

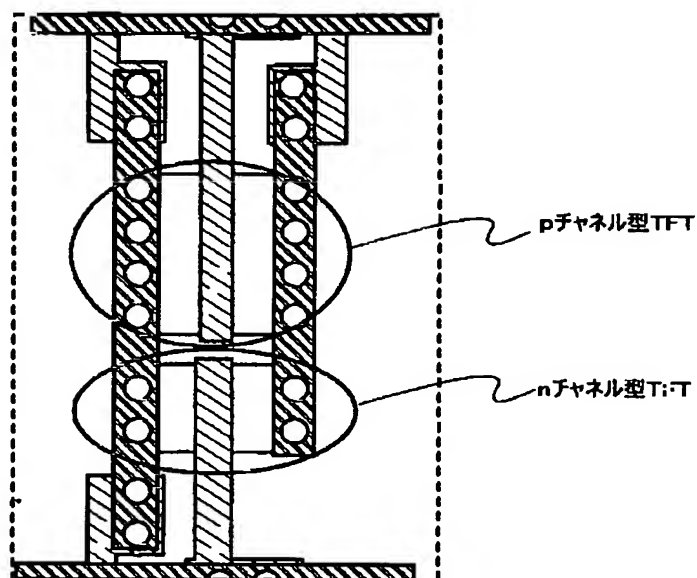
【図20】



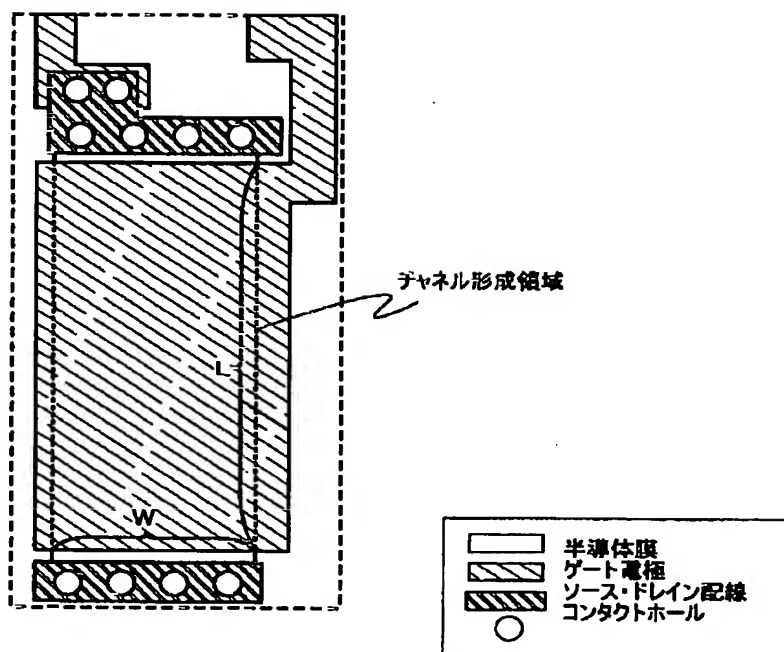
(特) 103-228333 (P2003-228333A)

【図21】

(A) アナログスイッチ



(B) 電流源回路



(8) 103-228333 (P2003-228333A)

フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	(参考)
G 0 9 G 3/20		G 0 9 G 3/20	6 4 1 E
	6 4 2		6 4 1 K
			6 4 2 A
3/22		3/22	E
H 0 1 L 29/786		H 0 5 B 33/14	A
H 0 5 B 33/14		H 0 1 L 29/78	6 1 2 B

Fターム(参考) 3K007 AB17 BA06 BB07 DB03 GA04
 5C080 AA06 AA08 AA18 BB05 DD05
 DD26 EE28 FF11 JJ02 JJ03
 JJ04 JJ06 KK07 KK43
 5F110 AA30 BB02 BB04 CC02 CC08
 DD02 DD13 DD14 DD15 DD17
 EE01 EE02 EE03 EE04 EE06
 EE09 EE14 EE23 EE28 EE30
 EE44 EE45 FF02 FF04 FF28
 FF30 FF36 GG01 GG02 GG13
 GG25 HJ01 HJ04 HJ12 HJ13
 HJ23 HL04 HL06 HL07 HL11
 HL23 HM15 NN03 NN04 NN22
 NN23 NN27 NN71 NN72 PP03
 PP04 PP05 PP06 QQ04 QQ11
 QQ24 QQ25

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.